

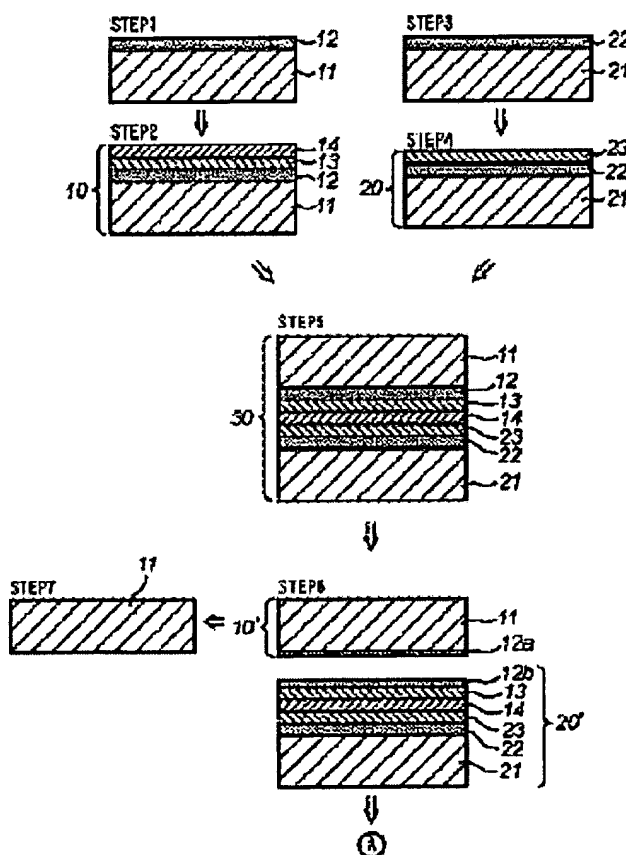
SEMICONDUCTOR MEMBER, SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THEM

Patent number: JP2003078117
Publication date: 2003-03-14
Inventor: SATO NOBUHIKO
Applicant: CANON KK
Classification:
- international: H01L21/02; H01L21/20; H01L21/336; H01L21/762;
H01L27/12; H01L29/786; H01L21/02; H01L21/70;
H01L27/12; H01L29/66; (IPC1-7): H01L27/12;
H01L21/02; H01L21/20; H01L21/336; H01L21/762;
H01L29/786
- european:
Application number: JP20010264673 20010831
Priority number(s): JP20010264673 20010831

Report a data error here

Abstract of JP2003078117

PROBLEM TO BE SOLVED: To provide a suitable technique for manufacturing a semiconductor member of optional thickness (especially, a thin semiconductor member) which is equipped with a semiconductor layer where a circuit element is formed on an insulating layer. **SOLUTION:** A first board 10 which is equipped with a single crystal Si layer 13 and an insulating layer 14 which are formed as transfer layers on a porous layer 12 that serves as a transfer isolating layer and a second board 20 equipped with a single crystal Si layer 23 which is formed on a porous layer 22 serving as a transfer isolating layer are bonded together into a bonded member 30, thereafter the bonded member 30 is separated into two parts at the porous layer 12 for the formation of a semiconductor member 20'. A circuit element is formed on the single crystal Si layer 13 of the semiconductor member 20', and then the single crystal Si layer 13 with the circuit element is separated off the semiconductor member 20' at the porous layer 22 so as to be thin.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-78117

(P2003-78117A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L	27/12	H 0 1 L 27/12	B 5 F 0 3 2
	21/02	21/02	B 5 F 0 5 2
	21/20	21/20	5 F 1 1 0
	21/336	21/76	D
	21/762	29/78	6 2 7 D

審査請求 未請求 請求項の数50 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2001-264673(P2001-264673)

(22) 出願日 平成13年8月31日 (2001.8.31)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 佐藤 信彦

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100076428

弁理士 大塚 康德 (外3名)

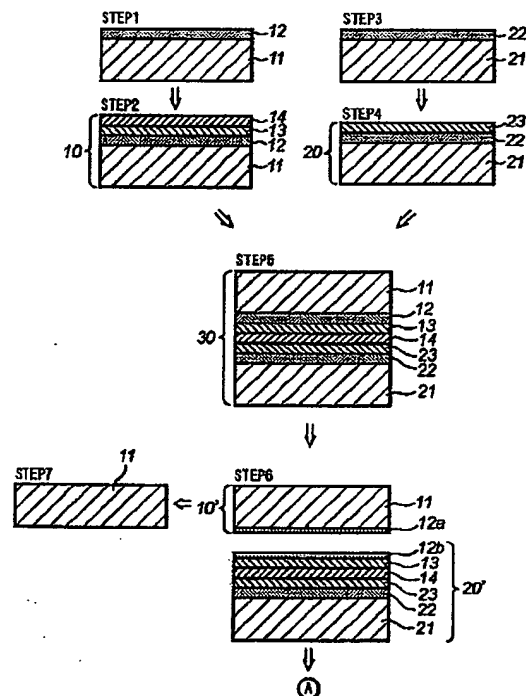
最終頁に続く

(54) 【発明の名称】 半導体部材及び半導体装置並びにそれらの製造方法

(57) 【要約】

【課題】 回路素子が形成された半導体層を絶縁層の上に有する任意の厚さの半導体部材（特に、薄い半導体部材）を製造するために好適な技術を提供する。

【解決手段】 移設用分離層としての多孔質層12上に移設層としての単結晶Si層13及び絶縁層14を有する第1の基板10と、薄化用分離層としての多孔質層22上に単結晶Si層23を有する第2の基板20とを結合させて結合部材30を形成し、その後、結合基板30を多孔質層12において分離して半導体部材20'を作製する。半導体部材20'の単結晶Si層13上に回路素子を形成した後、それを多孔質層22において分離することにより薄化する。



【特許請求の範囲】

【請求項 1】 半導体装置の製造方法であって、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材を作製する半導体部材作製工程と、回路素子が形成された前記半導体部材を前記薄化用分離部において分離することにより前記半導体部材を薄化する薄化工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記半導体部材作製工程は、前記素子層とすべき層を有する第 1 の部材と、第 2 の部材とを結合させて結合部材を形成する結合工程と、前記結合部材から前記第 1 の部材の一部を除去して、前記素子層とすべき層を表出させる除去工程と、を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記半導体部材作製工程は、前記第 1 の部材に結合させる前の前記第 2 の部材に前記薄化用分離部を予め形成する分離部形成工程を更に含むことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記分離部形成工程では、前記第 1 の部材に結合させる前の前記第 2 の部材に、前記薄化用分離部となる多孔質層を予め形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記分離部形成工程では、前記第 1 の部材に結合させる前の前記第 2 の部材に、前記薄化用分離部となるヘテロエピタキシャル成長層を予め形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 6】 前記分離部形成工程では、前記第 1 の部材に結合させる前の前記第 2 の部材に、前記薄化用分離部となる高濃度ドーパ層を予め形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 7】 前記薄化用分離部は、前記第 1 の部材と前記第 2 の部材との結合界面を含むことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 8】 前記半導体部材作製工程は、前記除去工程の後に、前記結合部材に前記薄化用分離部を形成する分離部形成工程を更に含むことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 9】 前記分離部形成工程では、前記結合部材にイオンを注入することにより前記薄化用分離部を形成することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記除去工程では、前記第 1 の部材に予め形成されている移設用分離部において前記結合部材を分離することを特徴とする請求項 2 乃至請求項 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】 前記移設用分離部は、多孔質層を含む

ことを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 前記移設用分離部は、イオン注入層を含むことを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 13】 前記半導体部材作製工程では、前記第 1 の部材と前記第 2 の部材とを結合させて結合部材を形成し、その後、前記第 1 の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を作製し、前記薄化工程では、前記薄化用分離部としての多孔質層で前記半導体部材を分離することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 14】 前記半導体部材作製工程では、前記第 1 の部材と前記第 2 の部材とを結合させて結合部材を形成し、その後、前記第 1 の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を作製し、前記薄化工程では、薄化用分離部としての多孔質層において前記半導体部材を分離することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 15】 前記半導体部材作製工程では、前記第 1 の部材と前記第 2 の部材とを結合させて結合部材を形成し、その後、前記第 1 の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 16】 前記半導体部材作製工程では、前記第 1 の部材と前記第 2 の部材とを結合させて結合部材を形成し、その後、前記第 1 の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 17】 前記半導体部材作製工程では、前記第 1 の部材と前記第 2 の部材とを結合させて結合部材を形成し、その後、前記第 1 の部材に予め形成されている移設用分離部としてのヘテロエピタキシャル成長層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 18】 前記半導体部材作製工程では、前記第

10

20

30

40

50

1 の部材と前記第 2 の部材とを結合させて結合部材を形成し、その後、前記第 1 の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としての、前記第 1 の部材と前記第 2 の部材との結合界面で、前記半導体部材を分離することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 19】 前記半導体部材作製工程では、前記第 1 の部材と前記第 2 の部材とを結合させて結合部材を形成し、その後、前記第 1 の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としての高濃度ドーパ層において前記半導体部材を分離することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 20】 前記半導体部材作製工程では、前記第 1 の部材と前記第 2 の部材とを結合させて結合部材を形成し、その後、前記第 1 の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのイオン注入層において前記半導体部材を分離することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 21】 前記半導体部材作製工程では、前記薄化用分離部としてのイオン注入層を前記結合部材の分離後に形成することを特徴とする請求項 20 に記載の半導体装置の製造方法。

【請求項 22】 前記半導体部材作製工程では、前記絶縁層が前記第 1 の部材に酸素イオンを注入することにより形成された半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのイオン注入層において前記半導体部材を分離することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 23】 前記半導体部材作製工程では、前記薄化用分離部としての水素イオン注入層を前記結合部材の分離後に形成することを特徴とする請求項 22 に記載の半導体装置の製造方法。

【請求項 24】 前記半導体部材作製工程では、前記素子層とすべき層を有する第 1 の部材と、第 2 の部材とを結合させて結合部材し、その後、前記結合部材から前記第 1 の部材の一部を研削により除去することにより、前記半導体部材を作製し、前記薄化工程では、前記薄化用分離部としての、前記第 1 の部材と第 2 の界面において、前記半導体部材を分離すること特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 25】 前記半導体部材作製工程では、前記第 1 の部材と前記第 2 の部材とを結合させて結合部材を形成し、その後、前記第 1 の部材に予め形成されている移

設用分離部において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部において半導体部材を分離し、前記薄化用分離部の外周部は、前記移設用分離部の外周部よりも強度が強いことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 26】 半導体部材の製造方法であって、回路素子を形成するための素子層を有する第 1 の部材と、分離部を有する第 2 の部材とを結合させて結合部材を形成する結合工程と、前記素子層が表出するように前記結合部材から前記第 1 の部材の一部を除去し、これにより、前記結合部材を、前記素子層を表面に有し、内部に絶縁層を有し、前記絶縁層中又は前記絶縁層よりも深い位置に前記分離部を有する半導体部材とする除去工程と、を含み、前記分離部は、前記半導体部材の前記素子層に回路素子が形成された後に前記半導体部材を分離するために利用されることを特徴とする半導体部材の製造方法。

【請求項 27】 前記分離部は、多孔質層を含むことを特徴とする請求項 26 に記載の半導体部材の製造方法。

【請求項 28】 前記分離部は、ヘテロエピタキシャル成長層を含むことを特徴とする請求項 26 に記載の半導体部材の製造方法。

【請求項 29】 前記分離部は、高濃度ドーパ層を含むことを特徴とする請求項 26 に記載の半導体部材の製造方法。

【請求項 30】 前記除去工程は、前記第 1 の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、多孔質層を含むことを特徴とする請求項 26 に記載の半導体部材の製造方法。

【請求項 31】 前記除去工程は、前記第 1 の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、多孔質層を含むことを特徴とする請求項 26 に記載の半導体部材の製造方法。

【請求項 32】 前記除去工程は、前記第 1 の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことを特徴とする請求項 26 に記載の半導体部材の製造方法。

【請求項 33】 前記除去工程は、前記第 1 の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことを特徴とする請求項 26 に記載の半導体部材の製造方法。

【請求項34】 前記除去工程は、前記第1の部材に予め形成されているヘテロエピタキシャル成長層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項35】 前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、

前記分離部は、高濃度ドーパ層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項36】 前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、

前記分離部は、イオン注入層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項37】 前記除去工程は、前記第1の部材が有する脆弱構造部において前記結合部材を分離する工程を含み、

前記分離部の外周部は、前記脆弱構造部の外周部よりも強度が強いことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項38】 半導体部材の製造方法であって、回路素子を形成するための素子層を有する第1の部材と、第2の部材とを接合して接合部材を形成する接合工程と、

前記素子層が表出するように前記接合部材から前記第1の部材の一部を除去し、これにより、前記接合部材を、前記素子層を表面に有し、内部に絶縁層を有する半導体部材とする除去工程と、

前記除去工程を経て得られた前記半導体部材の前記絶縁層中又は前記絶縁層よりも深い位置に分離部を形成する分離部形成工程と、

を含み、前記分離部は、前記半導体部材の前記素子層に回路素子が形成された後に前記半導体部材を分離するために利用されることを特徴とする半導体部材の製造方法。

【請求項39】 前記分離部は、イオン注入層を含むことを特徴とする請求項38に記載の半導体部材の製造方法。

【請求項40】 前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記接合部材を分離する工程を含むことを特徴とする請求項39に記載の半導体部材の製造方法。

【請求項41】 半導体部材の製造方法であって、酸素イオン注入によって形成された絶縁層を内部に有し、回路素子を形成するための素子層を表層に有する半導体部材を準備する準備工程と、

前記半導体部材に所定のイオンを注入することにより、前記絶縁層中又は前記絶縁層よりも深い位置に分離部を

形成する分離部形成工程と、

を含むことを特徴とする半導体部材の製造方法。

【請求項42】 半導体装置の薄化方法であって、埋め込み絶縁層と、回路素子が形成された回路素子層と、前記埋め込み絶縁層中又はそれよりも深い位置に前記回路素子の形成に先立って形成された分離部とを有する半導体部材を前記分離部において分離することにより、前記半導体部材を薄化することを特徴とする半導体装置の薄化方法。

【請求項43】 半導体装置の製造方法であって、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材を準備する工程と、

前記半導体部材に回路素子を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項44】 半導体装置の製造方法であって、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材に素子分離領域及び活性領域を形成する工程と、前記活性領域にトランジスタを形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項45】 分離された他方の前記半導体部材を、前記回路素子形成用の半導体部材として再利用することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項46】 分離された他方の前記半導体部材を、前記第1又は第2の部材として再利用することを特徴とする請求項26又は38に記載の半導体部材の製造方法。

【請求項47】 絶縁性表面を有する部材と、該部材の絶縁性表面上に形成された回路素子を形成するための素子層と、を有する半導体部材において、前記部材は前記絶縁性表面より下方に薄化用分離部を有することを特徴とする半導体部材。

【請求項48】 請求項26乃至請求項41のいずれか1項に記載の製造方法によって形成されうることを特徴とする半導体部材。

【請求項49】 絶縁性表面を有する部材と、該部材の絶縁性表面上に形成された回路素子層と、を有する半導体装置において、前記部材は前記絶縁性表面より下方に薄化用分離部を有することを特徴とする半導体装置。

【請求項50】 請求項1乃至請求項25のいずれか1項に記載の製造方法によって形成されうることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体部材及び半導体装置並びにそれらの製造方法及び半導体装置の製造方法に関する。

【0002】

【従来の技術】絶縁層上に単結晶Si層を有する基板として、SOI (silicon oninsulator)構造を有する基板(SOI基板)が知られている。このSOI基板を採用したデバイスは、通常のSi基板では到達し得ない数々の優位点を有する。この優位点としては、例えば、以下のものが挙げられる。

- (1) 誘電体分離が容易で高集積化に適している。
- (2) 放射線耐性に優れている。
- (3) 浮遊容量が小さく、素子の動作速度の高速化が可能である。
- (4) ウェル工程が不要である。
- (5) ラッチアップを防止できる。
- (6) 薄膜化による完全な空乏型電界効果トランジスタの形成が可能である。

【0003】SOI構造は、上記のような様々な優位点を有するため、ここ数十年、その形成方法に関する研究が進められている。

【0004】本出願人は、特開平5-21338号公報において、新たなSOI技術を開示した。この技術は、単結晶Si基板に多孔質層を形成し、その上に非多孔質層単結晶層を形成した第1の基板を、絶縁層を介して第2の基板に貼り合わせ、その後、貼り合わせ基板を多孔質層で2枚に分離することにより、第2の基板に非多孔質単結晶層を移し取るものである。この技術は、SOI層の膜厚均一性が優れていること、SOI層の結晶欠陥密度を低減し得ること、SOI層の表面平坦性が良好であること、高価な特殊仕様の製造装置が不要であること、数100Å～10μm程度の範囲のSOI膜を有するSOI基板を同一の製造装置で製造可能なこと等の点で優れている。

【0005】更に、本出願人は、特開平7-302889号公報において、第1の基板と第2の基板とを貼り合わせた後に、第1の基板を破壊することなく第2の基板から分離し、その後、分離した第1の基板の表面を平滑化して再度多孔質層を形成し、これを再利用する技術を開示した。この技術は、第1の基板を無駄なく使用できるため、製造コストを大幅に低減することができ、製造工程も単純であるという優れた利点を有する。

【0006】一方、半導体チップを内蔵したICカード等の薄型半導体製品が普及しつつある。薄型半導体製品は、ポケットや財布等に入れて携帯されることが多いため、内蔵される半導体チップには相当な柔軟性が求められる。このような柔軟性を得るための最適な解決策は、半導体チップを薄化することである。

【0007】半導体チップの薄化は、三次元積層パッケージを作製するためにも有用である。三次元積層パッケージでは、プロセッサチップやメモリチップ等が積層して混載される。したがって、パッケージ厚を薄くするため、又は、所定厚のパッケージに多数のチップを積層し

て混載するために、チップの薄化が重要となっている。

【0008】薄い半導体チップを製造する方法としては、薄いウエハを準備し、その上に回路素子を形成する方法と、比較的厚いウエハを準備し、その上に回路素子を形成した後にウエハを薄化する方法とがある。ここで、薄いウエハは回路素子を形成するためのデバイスプロセスにおいて破損し易いため、取り扱いが困難である。この問題は、ウエハの大口径化に伴い一層顕在化する。したがって、前者の方法よりも後者の方法が有用であり、一般的には、薄い半導体チップは、回路素子が形成されたウエハの裏面を研削することによって得られる。ここで、ウエハの薄化の前にダイシングを行う方法と、ウエハの薄化の後にダイシングを行う方法がある。

【0009】また、薄い半導体チップを製造する他の方法が特開平9-312349号公報に開示されている。この方法では、半導体基板の表面に多孔質層を形成し、その上に半導体膜を形成し、その半導体膜に回路素子を形成し、その後、回路素子が形成された半導体膜を半導体基体から剥離する。

【0010】

【発明が解決しようとする課題】基板又は半導体チップの薄化の要求は、前述のSOI基板又はそれを使った半導体チップにも向けられている。しかしながら、上記の特開平9-312349号公報は、回路素子が形成された薄い半導体膜を得る方法については開示しているものの、埋め込み絶縁層上に回路素子が形成された薄い基板又はチップを得る方法については開示していない。

【0011】本発明は、上記の背景に鑑みてなされたものであり、回路素子が形成された半導体層を絶縁層の上に有する任意の厚さの半導体部材(特に、薄い半導体部材)を製造するために好適な技術を提供することを目的とする。

【0012】本発明の別の目的は、絶縁性表面を有する部材と、該部材の絶縁性表面上に形成された回路素子を形成するための素子層と、を有する半導体部材において、前記部材は前記絶縁性表面より下方に薄化用分離部を有することを特徴とする半導体部材を提供することにある。

【0013】更に別の本発明の目的は、絶縁性表面を有する部材と、該部材の絶縁性表面上に形成された回路素子層と、を有する半導体装置において、前記部材は前記絶縁性表面より下方に薄化用分離部を有することを特徴とする半導体装置を提供することにある。

【0014】

【課題を解決するための手段】本発明の第1の側面は、半導体装置の製造方法に係り、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材を作製する半導体部材作製工程と、回路素子が形成された前記半導体部材を前記薄化用分離部

において分離することにより前記半導体部材を薄化する薄化工程とを含むことを特徴とする。

【0015】本発明の第1の側面に係る製造方法において、本発明の好適な実施の形態によれば、前記半導体部材作製工程は、前記素子層とすべき層を有する第1の部材と、第2の部材とを結合させて結合部材を形成する結合工程と、前記結合部材から前記第1の部材の一部を除去して、前記素子層とすべき層を表出させる除去工程とを含むことが好ましい。

【0016】ここで、前記半導体部材作製工程は、前記第1の部材に結合させる前の前記第2の部材に前記薄化用分離部を予め形成する分離部形成工程を更に含むことが好ましい。本発明の好適な実施の形態によれば、前記分離部形成工程では、前記第1の部材に結合させる前の前記第2の部材に、前記薄化用分離部となる多孔質層を予め形成することが好ましい。或いは、前記分離部形成工程では、前記第1の部材に結合させる前の前記第2の部材に、前記薄化用分離部となるヘテロエピタキシャル成長層を予め形成することが好ましい。或いは、前記分離部形成工程では、前記第1の部材に結合させる前の前記第2の部材に、前記薄化用分離部となる高濃度ドーブ層を予め形成することが好ましい。本発明の好適な実施の形態によれば、前記薄化用分離部は、前記第1の部材と前記第2の部材との結合界面であってもよい。

【0017】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程は、前記除去工程の後に、前記結合部材に前記薄化用分離部を形成する分離部形成工程を更に含むことも好ましい。ここで、前記分離部形成工程では、前記結合部材にイオンを注入することにより前記薄化用分離部を形成することが好ましい。

【0018】本発明の好適な実施の形態によれば、前記除去工程では、前記第1の部材に予め形成されている移設用分離部において前記結合部材を分離することが好ましい。ここで、前記移設用分離部は、多孔質層又はイオン注入層を含むことが好ましい。

【0019】本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を作製し、前記薄化工程では、前記薄化用分離部としての多孔質層で前記半導体部材を分離することが好ましい。

【0020】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を作製し、前記薄化工程では、薄化用分離部としての多孔質層において前記半導体

部材を分離することが好ましい。

【0021】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することが好ましい。

【0022】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することが好ましい。

【0023】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのヘテロエピタキシャル成長層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することが好ましい。

【0024】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としての、前記第1の部材と前記第2の部材との結合界面で、前記半導体部材を分離することが好ましい。

【0025】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としての高濃度ドーブ層において前記半導体部材を分離することが好ましい。

【0026】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程で

は、前記薄化用分離部としてのイオン注入層において前記半導体部材を分離することが好ましい。ここで、前記半導体部材作製工程では、前記薄化用分離部としての水素イオン注入層を前記結合部材の分離後に形成することが好ましい。

【0027】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記絶縁層が前記第1の部材に酸素イオンを注入することにより形成された半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのイオン注入層において前記半導体部材を分離することが好ましい。ここで、前記半導体部材作製工程では、前記薄化用分離部としてのイオン注入層を前記結合部材の分離後に形成することが好ましい。

【0028】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記素子層とすべき層を有する第1の部材と、第2の部材とを結合させて結合部材とし、その後、前記結合部材から前記第1の部材の一部を研削により除去することにより、前記半導体部材を作製し、前記薄化工程では、前記薄化用分離部としての、前記第1の部材と第2の界面において、前記半導体部材を分離することが好ましい。

【0029】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部において半導体部材を分離し、前記薄化用分離部の外周部は、前記移設用分離部の外周部よりも強度が強いことが好ましい。

【0030】本発明の第2の側面は、半導体部材の製造方法に係り、回路素子を形成するための素子層を有する第1の部材と、分離部を有する第2の部材とを結合させて結合部材を形成する結合工程と、前記素子層が表出するように前記結合部材から前記第1の部材の一部を除去し、これにより、前記結合部材を、前記素子層を表面に有し、内部に絶縁層を有し、前記絶縁層中又は前記絶縁層よりも深い位置に前記分離部を有する半導体部材とする除去工程とを含み、前記分離部は、前記半導体部材の前記素子層に回路素子が形成された後に前記半導体部材を分離するために利用されることを特徴とする。

【0031】本発明の第2の側面に係る製造方法において、本発明の好適な実施の形態によれば、前記分離部は、多孔質層を含むことが好ましい。

【0032】或いは、本発明の好適な実施の形態によれば、前記分離部は、ヘテロエピタキシャル成長層を含むことが好ましい。

【0033】或いは、本発明の好適な実施の形態によれば、前記分離部は、高濃度ドーパ層を含むことが好ましい。

【0034】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、多孔質層を含むことが好ましい。

【0035】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、多孔質層を含むことが好ましい。

【0036】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことが好ましい。

【0037】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことが好ましい。

【0038】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されているヘテロエピタキシャル成長層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことが好ましい。

【0039】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、高濃度ドーパ層を含むことが好ましい。

【0040】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、イオン注入層を含むことが好ましい。

【0041】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材が有する脆弱構造部において前記結合部材を分離する工程を含み、前記分離部の外周部は、前記脆弱構造部の外周部よりも強度が強いことが好ましい。

【0042】本発明の第3の側面は、半導体部材の製造方法に係り、回路素子を形成するための素子層を有する第1の部材と、第2の部材とを接合して接合部材を形成する接合工程と、前記素子層が表出するように前記接合部材から前記第1の部材の一部を除去し、これにより、前記接合部材を、前記素子層を表面に有し、内部に絶縁層を有する半導体部材とする除去工程と、前記除去工程を経て得られた前記半導体部材の前記絶縁層中又は前記絶縁層よりも深い位置に分離部を形成する分離部形成工程とを含み、前記分離部は、前記半導体部材の前記素子層に回路素子が形成された後に前記半導体部材を分離す

るために利用されることを特徴とする。

【0043】本発明の第3の側面において、本発明の好適な実施の形態によれば、前記分離部は、イオン注入層を含むことが好ましい。ここで、前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記接合部材を分離する工程を含むことが好ましい。

【0044】本発明の第4の側面は、半導体部材の製造方法に係り、酸素イオン注入によって形成された絶縁層を内部に有し、回路素子を形成するための素子層を表面に有する半導体部材を準備する準備工程と、前記半導体部材に所定のイオンを注入することにより、前記絶縁層中又は前記絶縁層よりも深い位置に分離部を形成する分離部形成工程とを含むことを特徴とする。

【0045】本発明の第5の側面は、半導体装置の薄化方法に係り、埋め込み絶縁層と、回路素子が形成された回路素子層と、前記埋め込み絶縁層中又はそれよりも深い位置に前記回路素子の形成に先立って形成された分離部とを有する半導体部材を前記分離部において分離することにより、前記半導体部材を薄化することを特徴とする。

【0046】本発明の第6の側面は、半導体装置の製造方法に係り、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材を準備する工程と、前記半導体部材に回路素子を形成する工程とを含むことを特徴とする。

【0047】本発明の第7の側面は、半導体装置の製造方法に係り、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材に素子分離領域及び活性領域を形成する工程と、前記活性領域にトランジスタを形成する工程とを含むことを特徴とする。

【0048】本発明の第8の側面は、半導体装置に係り、該半導体装置は、上記の本発明の第1の側面に係る製造方法によって製造される。

【0049】本発明の第9の側面は、半導体部材に係り、該半導体部材は、上記の本発明の第2の側面に係る製造方法によって製造される。

【0050】

【発明の実施の形態】以下、本発明の好適な実施の形態を説明する。

【0051】本発明の好適な実施の形態に係る半導体装置の製造方法は、回路素子を形成するための素子層（例えば、単結晶Si層）を表面に有し、内部に埋め込み絶縁層（例えば、SiO₂層）を有し、該絶縁層の中又は該絶縁層よりも深い位置に薄化用分離部を有する半導体部材（典型的には、SOI構造を有するSOI基板）を作製する半導体部材作製工程と、該半導体部材の素子層に回路素子を形成する回路素子形成工程と、回路素子が

形成された半導体部材を該薄化用分離部において分離することにより該半導体部材を薄化する薄化工程とを含む。

【0052】半導体部材作製工程では、例えば、2枚の基板を結合させて結合基板を作製した後に該結合基板を分離して又は該結合基板のうち不要な部分を除去して半導体層／絶縁層構造（例えば、SOI構造）を有する半導体部材を作製する結合法（貼り合わせ法）によって半導体基板を作製することが好ましい。結合法としては、例えば、結合基板を分離するための分離層として多孔質層を利用する方法やイオン注入層を利用する方法が好適である。

【0053】また、半導体部材作製工程では、例えば、サファイア基板上に薄化用分離層を形成した後に、その上にシリコン層等の半導体層を成長させることにより、絶縁体上に薄化用分離層を有し、その上に半導体層を有する半導体基板を作製してもよい。

【0054】また、半導体部材作製工程では、例えば結合法又はSIMOX法により、半導体層／絶縁層構造（例えば、SOI構造）を有する半導体部材を作製した後に、例えば該部材の素子層より下方に水素等のイオンを注入することにより、該半導体基板中に薄化用分離部を形成してもよい。

【0055】薄化用分離部は、回路素子の形成工程（デパイスプロセス）の前又は後に半導体部材中に形成され、回路素子の形成後に半導体部材を分離するために利用される。したがって、薄化用分離部は、必要に応じて回路素子の形成工程中の熱処理、多層構造に起因する内部応力、CMP等により加えられる外部からの機械的な力に耐えるものでなければならない。

【0056】また、薄化用分離部は、例えば、多孔質層、イオン注入層、ヘテロエピタキシャル成長層、2枚の基板の結合界面、多層構造の界面など、内部応力を発生させたり、内部応力を集中させたり、強度を脆弱にしたり、密度を局所的に低くするなどして、相対的に亀裂が入り易い部分になっていればよい。とりわけ、陽極化成などにより形成される多孔質層や、水素や希ガス等の種々のイオン注入により欠陥又は微小空隙を生成しうるイオン注入層、或いはこれらを組合わせたものが、再現性の点でより好ましいものである。

【0057】また、薄化用分離部は、半導体基板のほぼ全領域にわたって層状に形成されていることが好ましい。

【0058】また、薄化用分離部を利用した半導体基板の分離は、該薄化用分離部中、又は、該薄化用分離部とそれに隣接する層との界面で起こりうる。

【0059】結合法（貼り合わせ法）により、移設用分離部と薄化用分離部の双方を有する結合部材を作製した後に該移設用分離部において該結合部材を分離して薄化用分離部を有する半導体基板を作製する場合には、該結

合部材を該移設用分離部において分離する際に該結合部材が該薄化用分離部において分離されない方法を採用する。これらは、移設用分離部及び薄化用分離部の相対的な脆弱性や機械的強度によってのみ決まるものでもなく、分離方法との組み合わせや、プロセスフロー上の分離部形成の時期などにも依存する。

【0060】以下に、本発明の代表的かつ好適な実施の形態は次の通りである。ただし、これ以外の実施の形態も採用しうる。

【0061】(1) 移設用分離部として第1の多孔質層を採用し、薄化用分離部として該第1の多孔質層よりも機械的強度が強い第2の多孔質層を採用する。

【0062】(2) 移設用分離部として水素イオン注入層等のイオン注入層を採用し、薄化用分離部として多孔質層を採用する。前者は、熱処理による分離に適しており、後者は機械的な力の印加による分離に適している。

【0063】(3) 移設用分離部として多孔質層を採用し、薄化用分離部として該第1の多孔質層よりも機械的強度が強いヘテロエピタキシャル成長層を採用する。

【0064】(4) 移設用分離部として水素イオン注入層等のイオン注入層を採用し、薄化用分離部としてヘテロエピタキシャル成長層を採用する。前者は、熱処理による分離に適しており、後者は機械的な力の印加による分離に適している。

【0065】(5) 移設用分離部として第1のヘテロエピタキシャル成長層を採用し、薄化用分離部として該第1のヘテロエピタキシャル成長層よりも機械的強度が強い第2のヘテロエピタキシャル成長層を採用する。

【0066】(6) 移設用分離部として水素イオン注入層等のイオン注入層を採用し、薄化用分離部として結合界面を採用する。前者は、熱処理による分離に適しており、後者は機械的な力の印加による分離に適している。

【0067】(7) 移設用分離部として多孔質層を採用し、薄化用分離部として該多孔質層よりも機械的強度が強い高濃度ドーブ層を採用する。

【0068】(8) SOI基板上に薄化用分離部を形成する。例えば、移設用分離部として、多孔質層や、水素イオン注入層等のイオン注入層を採用して結合法（貼り合わせ法）により半導体層／絶縁層構造（例えば、SOI構造）を形成した後に、薄化用分離部として、水素イオン注入層等のイオン注入層を形成する。この場合、移設用分離部と薄化用分離部とがプロセスフロー上同時に存在することがない。

【0069】(9) SIMOX法により半導体層／絶縁層構造（例えば、SOI構造）を形成した後に、薄化用分離部として、水素イオン注入層等のイオン注入層を形成する。この場合、移設用分離部を形成することなく、半導体層／絶縁層構造（例えば、SOI構造）が得られるので、当然に、移設用分離部と薄化用分離部とが同時に存在することはない。

【0070】(10) 半導体層及び絶縁層を有する第1の基板と、第2の基板とを結合させて結合基板を作成した後に該結合基板から該第1の基板のうち不要な部分を研削により除去して半導体層／絶縁層構造（例えば、SOI構造）を有する半導体基板を形成する。薄化用分離部としては、第1の基板と第2の基板との界面を利用する。

【0071】(11) 移設用分離部の外周部の機械的強度を弱くし、薄化用分離部が外周部の機械的強度を強くする。この場合、移設用分離部と薄化用分離部とが混在しても、移設の際に該移設用分離部において結合部材が分離される。

【0072】薄化用分離部の形成は、半導体層／絶縁層構造（例えば、SOI構造）の作製時に形成してもよいし（上記の(1)～(7)、(11)）、半導体層／絶縁層構造の作製後に形成してもよいし（上記の(8)～(10)）、回路素子（デバイス）の形成後に形成してもよい。

【0073】回路素子が形成された後に半導体部材を薄化用分離部において分離することにより、例えば数百nm～数十 μ m、典型的には数 μ m厚の半導体部材を得ることができる。このような半導体部材は、ICカードや3次元積層パッケージへの応用に適している。

【0074】このような薄化方法は、一般に回路素子形成後に実施される回路素子の薄層化のための裏面研削工程の代替となり、しかもコスト的に優れたものである。

【0075】ここで、回路素子が形成された半導体部材を薄化用分離部で分離する際に、回路素子側（デバイス側）の厚さ（薄化用分離から半導体部材表面までの厚さ）が薄いと、回路素子側部分の機械的強度が不十分になる場合がある。この場合は、回路素子側部分を補強部材で補強した後に薄化用分離部において半導体部材を分離することが好ましい。補強部材としては、例えば、シリコンウエハ、樹脂、金属などを採用しうる。補強部材は、典型的には、分離に先立って回路素子側部分に接着され、該分離の直後、又は、半導体基板をダイシングした後に除去される。このような補強部材の使用に代えて、半導体部材の回路素子側を真空吸着しながら該半導体部材を薄化用分離部において分離する方法も好ましい。

【0076】以下、本発明のより具体的な実施の形態について説明する。

【0077】〔第1の実施の形態〕図1A及び図1Bは、本発明の第1の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0078】まず、STEP1では、第1の基板（prime wafer又はseed wafer）或いは部材として単結晶Si基板11を準備して、その主表面上に分離層としての多孔質Si層12を形成する。この分離層は、その上の移設層を第2の基板に移設する移設工程で利用される。移

設工程は、第1の基板と第2の基板とを接合して接合部材を作製する接合工程と、接合部材を移設用分離層（多孔質Si層12）において分離する分離工程とを含む。このような方法を移設法又は結合法（貼り合わせ法）という。多孔質Si層12は、例えば、電解質溶液（化成液）中で単結晶Si基板11に陽極化成処理を施すことによって形成することができる。

【0079】ここで、電解質溶液としては、例えば、弗化水素を含む溶液、弗化水素及びエタノールを含む溶液、弗化水素及びイソプロピルアルコールを含む溶液等が好適である。より具体的な例を挙げると、電解質溶液としては、例えば、HF水溶液（HF濃度＝4.9wt%）とエタノールを体積比2：1で混合した混合液が好適である。

【0080】また、多孔質Si層12を互いに多孔度の異なる2層以上の層からなる多層構造としてもよい。ここで、多層構造の多孔質Si層12は、表面側に第1の多孔度を有する第1の多孔質Si層、その下に、第1の多孔度より大きい第2の多孔度を有する第2の多孔質Si層を含むことが好ましい。このような多層構造を採用することにより、後の非多孔質層13の形成工程において、第1の多孔質Si層上に、欠陥等の少ない非多孔質層13を形成することができると共に、後の分離工程において、所望の位置で接合基板を分離することができる。ここで、第1の多孔度としては、10%～30%が好ましく、15%～25%が更に好ましい。また、第2の多孔度としては、35%～70%が好ましく、40%～60%が更に好ましい。

【0081】電解質溶液として上記の混合液（HF濃度が4.9wt%の弗化水素酸：エタノール＝2：1）を利用する場合は、例えば、電流密度8mA/cm²、処理時間5～11minの条件で第1層（表面側）を生成し、次いで、電流密度2.3～3.3mA/cm²、処理時間80sec～2minの条件で第2層（内部側）を生成することが好ましい。

【0082】次いで、次の（1）～（4）の少なくとも1つの工程を実施することが好ましい。ここで、

（1）、（2）を順に実施することが好ましく、
（1）、（2）、（3）を順に実施すること、或いは、
（1）、（2）、（4）を順に実施することが更に好ましく、（1）、（2）、（3）、（4）を順に実施することが最も好ましい。

【0083】（1）多孔質Si層の孔壁に保護膜を形成する工程（ブリ酸化工程）

この工程では、多孔質Si層12の孔壁に酸化膜や窒化膜等の保護膜を形成し、これにより、後の熱処理による孔の粗大化を防止するのに有効であるが必須ではない。保護膜は、例えば、酸素雰囲気中で熱処理（例えば、200℃～700℃が好ましく、300℃～500℃が更に好ましい）を実施することにより形成され得る。その

後、多孔質Si層12の表面に形成された酸化膜等を除去することが好ましい。これは、例えば、弗化水素を含む溶液に多孔質Si層12の表面を晒すことによって実施され得る。

【0084】（2）水素ベーキング工程（プリベーキング工程）

この工程では、水素を含む還元性雰囲気中において800℃～1200℃で、多孔質Si層12が形成された第1の基板1に熱処理を実施する。この熱処理により、多孔質Si層12の表面の孔をある程度封止することができると共に、多孔質Si層12の表面に自然酸化膜が存在する場合には、それを除去することができるが必須ではない。

【0085】（3）微量原料供給工程（ブリンジェクション工程）

多孔質Si層12上に非多孔質層13を成長させる場合は、成長の初期段階で非多孔質層13の原料物質の供給を微量として、低速度で非多孔質層13を成長させることが好ましい。このような成長方法により、多孔質Si層12の表面の原子のマイグレーションが促進され、多孔質Si層12の表面の孔を封止することができる。具体的には、成長速度が20nm/min以下、好ましくは10nm/min以下、より好ましくは2nm/min以下になるように原料の供給を制御するが必須ではない。

【0086】（4）高温ベーキング工程（中間ベーキング工程）

上記の水素ベーキング工程及び／又は微量原料供給工程における処理温度よりも高い温度で、水素を含む還元性雰囲気中で熱処理を実施することにより、多孔質Si層12の更なる封止及び平坦化が実現することができるが必須ではない。

【0087】次いで、STEP2の第1段階では、多孔質Si層12上に半導体層13を形成する。半導体層13としては、単結晶Si層、多結晶Si層、非晶質Si層等のSi層、Ge層、SiGe層、SiC層、C層、GaAs層、GaN層、AlGaAs層、InGaAs層、InP層、InAs層、SiGe層／歪みSi層、等が好適である。

【0088】次いで、STEP2の第2段階では、半導体層13の上に絶縁層（例えばSiO₂層）14を形成する。これにより、移設用分離層12の上に、移設層としての、半導体層13及び絶縁層14を有する第1の基板或いは部材10が得られる。絶縁層14として好適なSiO₂層は、例えば、O₂/H₂雰囲気、1100℃、10～33minの条件で生成され得る。

【0089】以上の工程と並行して、STEP3及びSTEP4が実施される。STEP3では、第2の基板（支持基板；handle wafer）或いは部材としての単結晶Si基板21を準備して、その主表面上に分離層として

の多孔質層 22 を形成する。この分離層は、回路素子が形成された半導体基板を薄化する工程で利用される薄化用分離層である。多孔質 Si 層 22 は、例えば、電解質溶液（化成液）中で単結晶 Si 基板 21 に陽極化成処理を施すことによって形成することができる。

【0090】ここで、電解質溶液としては、例えば、弗化水素を含む溶液、弗化水素及びエタノールを含む溶液、弗化水素及びイソプロピルアルコールを含む溶液等が好適である。より具体的な例を挙げると、電解質溶液としては、例えば、HF 水溶液（HF 濃度 = 49 wt %）とエタノールを体積比 2 : 1 で混合した混合液が好適である。勿論、多孔質 Si 層 22 を互いに多孔度の異なる 2 層以上の層からなる多層構造としてもよい。

【0091】第 2 の基板の多孔質 Si 層 22 は、第 1 の基板の多孔質 Si 層 12 よりも機械的強度が高いことが好ましい。ここで、機械的強度は、例えば、多孔度が小さいほど、孔径が小さいほど、孔密度が小さいほど、高くなる。或いは、第 2 の基板の多孔質 Si 層 22 は、第 1 の基板の多孔質 Si 層 12 よりも、加わる応力が小さいことが好ましい。第 1 の基板の多孔質 Si 層 12 と第 2 の基板の多孔質 Si 層 22 とに特性の差を設ける方法としては、例えば、多孔質形成領域の導電型若しくは比抵抗、又は、化成液の組成若しくは化成電流密度を変更する方法を採用することができる。

【0092】STEP 4 では、多孔質 Si 層 22 上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層 23 を形成する。これにより、薄化用分離層 22 上に厚さ調整層 23 を有する第 2 の基板 20 が得られる。厚さ調整層 23 としては、例えば単結晶シリコン等のシリコン層が好適であるが、他の材料で構成された層であってもよい。

【0093】第 2 の基板は、単結晶 Si 基板に限定されず、例えばサファイヤ基板や石英等の透明基板、あるいは、多結晶 Si 基板などであってもよい。すなわち、第 2 の基板は、移設用分離部を形成することができる部材であれば何でもよい。

【0094】次いで、STEP 5 では、STEP 2 を経て得られた第 1 の基板 10 と STEP 4 を経て得られた第 2 の基板 20 とを、絶縁層 14 を挟むようにして、室温で結合 (bonding) させて結合基板 30 を作成する。

【0095】なお、絶縁層 14 は、上記のように単結晶 Si 層 13 側に形成しても良いし、第 2 の基板 20 上に形成しても良く、両者に形成しても良く、結果として、第 1 の基板と第 2 の基板を結合させた際に、図 1 A に示す状態になれば良い。しかしながら、上記のように、絶縁層 14 を活性層となる半導体層（例えば、単結晶 Si 層）13 側に形成することにより、第 1 の基板 10 と第 2 の基板 20 との接合界面を活性層から遠ざけることができるため、より高品位の SOI 基板等の半導体基板を得ることができる。

【0096】ここで、基板 10 と基板 20 とを結合させた後に、両者の結合を強固にする処理を実施することが好ましい。この処理の一例としては、例えば、1) N₂ 雰囲気、1100℃、10min の条件で熱処理を実施し、2) O₂ / H₂ 雰囲気、1100℃、50~100min の条件で熱処理（酸化処理）を実施する処理が好適である。この処理に加えて、或いは、この処理に代えて、陽極接合処理及び／又は加圧処理を実施してもよい。

【0097】次いで、STEP 6 では、結合基板 30 を機械的強度が脆弱な移設用分離層としての多孔質層 12 において分離する。ここで、結合基板の分離方法としては、例えば、多孔質層 12 に流体の圧力を作用させる方法（例えば、多孔質層 12 に流体を打ち込む方法、多孔質層 12 に流体の静圧を印加する方法等）、多孔質層 12 に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層 12 に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、多孔質層 12 に超音波などの波動エネルギーを印加する方法、多孔質層 12 に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、多孔質層 12 に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層 12 を結合基板の側面から熱酸化させることにより、該多孔質層 12 を体積膨張させる方法、分離領域として機能する多孔質層 12 を結合基板の側面から選択的にエッチングして分離する方法などがある。

【0098】ここで、重要なことは、結合基板 30 を薄化用分離層としての多孔質層 22 ではなくて移設用分離層としての多孔質層 12 において分離することである。このためには、前述のように、薄化用の分離層としての多孔質 Si 層 22 の機械的強度を移設用分離層としての多孔質 Si 層 12 よりも高くしておくことが好ましい。

【0099】或いは、薄化用分離層としての多孔質 Si 層 22 の外周部の機械的強度を移設用分離層としての多孔質層 21 の外周部の機械的強度よりも強くしておくことが好ましい。この方法は、分離方法として、多孔質層に流体を打ち込む方法や剥離用部材を挿入する方法等に特に適している。移設用分離層としての多孔質層 12 における分離が始まると、分離は多孔質層 12 に沿って進むため、他の分離層である薄化用分離層としての多孔質層 22 における分離は起こりにくい。多孔質層の外周部の強度は、例えば、多孔質層に隣接する層（例えば、単結晶シリコン層）の厚さに依存する。そこで、薄化用分離層としての多孔質層 22 に隣接する厚さ調整層 23 を相対的に厚くし、移設用分離層としての多孔質層 12 に隣接する半導体層 13 の厚さを相対的に薄くすることに

より、薄化用分離層としての多孔質 Si 層 22 の外周部の機械的強度を移設用分離層としての多孔質層 21 の外周部の機械的強度よりも強くすることができる。或いは、薄化用分離層としての多孔質層 22 に隣接する厚さ調整層 23 の直径を相対的に大きくし（すなわち、基板端部から厚さ調整層 23 の端部までの距離を小さくし）、移設用分離層としての多孔質層 12 に隣接する半導体層 13 の直径を相対的に小さくし（すなわち、基板のエッジから半導体層 13 のエッジまでの距離を小さくし）してもよい。この場合においても、薄化用分離層としての多孔質 Si 層 22 の外周部の機械的強度を移設用分離層としての多孔質層 21 の外周部の機械的強度よりも強くすることができる。図 10 に側部の様子を模式的に示す。

【0100】STEP 7 は、分離後の第 1 の基板 10' の単結晶 Si 基板 11 上に多孔質層 12a が残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層 12a をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶 Si 基板 11 は、第 1 の基板としての単結晶シリコン基板 11、又は第 2 の基板としての単結晶シリコン基板 21 として利用され得る。

【0101】STEP 8 は、分離後の第 2 の基板 20' 上に多孔質層 12b が残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層 12b をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板 40 が製造される。半導体基板 40 は、回路素子を形成した後に薄化用分離層 22 において分離することにより容易に薄化される薄化対応基板である。

【0102】STEP 9 では、半導体基板 40 に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板 40 上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路 41 を形成する工程を含む。このようなデバイス工程のより詳細な具体例については後述する。

【0103】STEP 10 では、集積回路 41 が形成された半導体基板 50 を機械的強度が脆弱な薄化用分離層としての多孔質層 22 において分離する。これにより、半導体基板 50 が薄化される。薄化後の半導体基板 51 の厚さは、厚さ調整層 23 の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP 4 において厚さ調整層 23 の厚さを調整すればよい。

【0104】半導体基板の分離方法としては、例えば、多孔質層 22 に流体の圧力を作用させる方法（例えば、多孔質層 22 に流体を打ち込む方法、多孔質層 22 に流体の静圧を印加する方法等）、多孔質層 22 に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層 22 に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、多孔質層 22 に超音波などの波動エネルギーを印加する方法、多孔質層 22 に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、多孔質層 22 に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層 22 を結合基板の側面から熱酸化させることにより、該多孔質層 22 を体積膨張させる方法、分離領域として機能する多孔質層 22 を希有号基板の側面から選択的にエッチングして分離する方法などがある。

【0105】STEP 11 は、薄化後の半導体基板 51 に多孔質層 22a が残留している場合において必要に応じて実施される工程である。この工程では、残留多孔質層 22a をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。

【0106】STEP 12 は、分離後の第 2 の基板としての単結晶 Si 基板 21 上に多孔質層 22b が残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層 22b をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶 Si 基板 21 は、第 1 の基板としての単結晶シリコン基板 11、又は第 2 の基板としての単結晶シリコン基板 21、あるいは、その他の半導体基板として利用され得る。

【0107】〔第 2 の実施の形態〕この実施の形態は、第 1 の実施の形態における移設用分離層としての多孔質層 12 をイオン注入層に変更したものである。

【0108】図 2A 及び図 2B は、本発明の第 2 の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0109】まず、STEP 101 では、第 1 の基板（prime wafer 又は seed wafer）或いは部材として単結晶 Si 基板 11 を準備して、その主表面上に絶縁層（例えば、SiO₂ 層）14 を形成する。

【0110】次いで、STEP 102 では、絶縁層 14 が形成された単結晶 Si 基板 11 の所定深さに水素イオンを注入することにより、水素イオン注入層 112 を形成する。この水素イオン注入層 112 は、移設用分離層

として機能する。この工程により、絶縁層 14 と水素イオン注入層 112 との間には、半導体層としての単結晶 Si 層 113 が残る。

【0111】ここで、水素イオンに代えて、窒素や希ガスイオンを注入してもよい。イオン注入法としては、一般に回路素子形成工程に用いられる、イオン注入装置を用いる方法や、プラズマ浸漬イオン注入法（例えば、国際公開番号 WO98/52216 号公報に記載されている）を採用することができる。

【0112】なお、STEP101 において、絶縁層 14 の形成に先立って、単結晶 Si 層、多結晶 Si 層、非晶質 Si 層等の Si 層、Ge 層、SiGe 層、SiC 層、C 層、GaAs 層、GaN 層、AlGaAs 層、InGaAs 層、InP 層、InAs 層、SiGe 層／歪み Si 層等を形成しておくことにより、それを半導体層 14 とすることもできる。

【0113】以上の工程と並行して、STEP103 及び STEP104 が実施される。STEP3 では、第 2 の基板（支持基板、handle wafer）或いは部材としての単結晶 Si 基板 21 を準備して、その主表面上に薄化用分離層としての多孔質層 22 を形成する。多孔質 Si 層 22 は、例えば、電解質溶液（化成液）中で単結晶 Si 基板 21 に陽極化成処理を施すことによって形成することができる。

【0114】ここで、電解質溶液としては、例えば、弗化水素を含む溶液、弗化水素及びエタノールを含む溶液、弗化水素及びイソプロピルアルコールを含む溶液等が好適である。より具体的な例を挙げると、電解質溶液としては、例えば、HF 水溶液（HF 濃度＝49wt%）とエタノールを体積比 2：1 で混合した混合液が好適である。勿論、多孔質 Si 層 22 を互いに多孔度の異なる 2 層以上の層からなる多層構造としてもよい。

【0115】STEP4 では、多孔質 Si 層 22 上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層 23 を形成する。これにより、薄化用分離層 22 上に厚さ調整層 23 を有する第 2 の基板 20 が得られる。厚さ調整層 23 としては、例えば単結晶シリコン等のシリコン層が好適であるが、他の材料で構成された層であってもよい。

【0116】第 2 の基板は、単結晶 Si 基板に限定されず、例えばサファイヤ基板であってもよい。すなわち、第 2 の基板は、移設用分離部を形成することができる部材であれば何でもよい。

【0117】次いで、STEP105 では、STEP102 を経て得られた第 1 の基板 110 と STEP4 を経て得られた第 2 の基板 120 とを、絶縁層 14 を挟むようにして、室温で結合（bonding）させて結合基板 130 を作成する。この後、結合を強固にするための処理を施してもよい。

【0118】次いで、STEP106 では、結合基板 3

0 を機械的強度が脆弱な移設用分離層としての水素イオン注入層 112 において分離する。ここで、結合基板の分離方法としては、例えば、熱処理が最も好ましい。熱処理を施すことにより、イオン注入層 112 内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層（micro-cavity layer）と呼ばれる。この分離工程において熱処理を採用することにより、結合基板 30 を薄化用分離層としての多孔質層 22 ではなくて移設用分離層としての水素イオン注入層 112 において分離することができる。イオン注入層 112 は、多孔質層 22 よりも低い温度で分離層として活性化されるからである。

【0119】なお、上記の熱処理に代えて、水素イオン注入層 112 に流体の圧力を作用させる方法（例えば、水素イオン注入層 112 に流体を打ち込む方法、水素イオン注入層 112 に流体の静圧を印加する方法等）、水素イオン注入層 112 に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、水素イオン注入層 112 に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層 112 に超音波などの波動エネルギーを印加する方法、水素イオン注入層 112 に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法なども採用し得る。

【0120】STEP107 は、分離後の第 1 の基板 110' の単結晶 Si 基板 11 上に水素イオン注入層 112a が残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層 112a をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶 Si 基板 11 は、第 1 の基板としての単結晶シリコン基板 11、又は第 2 の基板としての単結晶シリコン基板 21 として利用され得る。

【0121】STEP108 は、分離後の第 2 の基板 120' 上に水素イオン注入層 112b が残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層 112b をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板 140 が製造される。半導体基板 140 は、回路素子を形成した後に薄化用分離層 122 において分離

することにより容易に薄化されうる薄化対応基板である。

【0122】STEP109では、半導体基板140に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板140上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0123】STEP110では、集積回路41が形成された半導体基板150を機械的強度が脆弱な薄化用分離層としての多孔質層22において分離する。これにより、半導体基板150が薄化される。薄化後の半導体基板151の厚さは、厚さ調整層23の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP104において厚さ調整層23の厚さを調整すればよい。

【0124】半導体基板の分離方法としては、例えば、多孔質層22に流体の圧力を作用させる方法（例えば、多孔質層22に流体を打ち込む方法、多孔質層22に流体の静圧を印加する方法等）、多孔質層22に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層22に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、多孔質層22に超音波などの波動エネルギーを印加する方法、多孔質層22に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、多孔質層22に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層22を結合基板の側面から熱酸化させることにより、該多孔質層22を体積膨張させる方法、分離領域として機能する多孔質層を結合基板の側面から選択的にエッチングして分離する方法などがある。

【0125】STEP111は、薄化後の半導体基板151に多孔質層22aが残留している場合において必要に応じて実施される工程である。この工程では、残留多孔質層22aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。

【0126】STEP112は、分離後の第2の基板としての単結晶Si基板21上に多孔質層22bが残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層22bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコ

ン基板21として利用され得る。

【0127】【第3の実施の形態】この実施の形態は、第1の実施の形態における薄化用分離層としての多孔質層22をヘテロエピタキシャル層に変更したものである。

【0128】図3A及び図3Bは、本発明の第3の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0129】まず、STEP201及び202では、第1の実施の形態と同様にして、移設用分離層12の上に、移設層としての、半導体層13及び絶縁層14を有する第1の基板或いは部材210を作製する。

【0130】STEP203では、第2の基板(支持基板、handle wafer)或いは部材としての単結晶Si基板21を準備して、その主表面上に分離層としてのヘテロエピタキシャル成長層222を形成する。分離層222は、回路素子が形成された半導体基板を薄化する工程で利用される薄化用分離層であり、移設用分離層12よりも機械的強度が強い。ここで、ヘテロエピタキシャル層222としては、例えば、下地の基板がシリコン基板である場合、SiGe層、SiCが好適であるが、Ga_{0.5}N_{0.5}、GaAs等でもよい。

【0131】STEP204では、ヘテロエピタキシャル成長層222上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層23を形成する。これにより、薄化用分離層222上に厚さ調整層23を有する第2の基板220が得られる。厚さ調整層23としては、例えば単結晶シリコン等のシリコン層が好適であるが、他の材料で構成された層であってもよい。

【0132】第2の基板は、単結晶Si基板に限定されず、例えばサファイヤ基板であってもよい。すなわち、第2の基板は、薄化用分離部を形成することができる部材であれば何でもよい。

【0133】次いで、STEP205では、STEP202を経て得られた第1の基板210とSTEP204を経て得られた第2の基板220とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板230を作成する。

【0134】なお、絶縁層14は、上記のように単結晶Si層13側に形成しても良いし、第2の基板220上に形成しても良く、両者に形成しても良く、結果として、第1の基板と第2の基板を結合させた際に、図2Aに示す状態になれば良い。しかしながら、上記のように、絶縁層14を活性層となる半導体層（例えば、単結晶Si層）13側に形成することにより、第1の基板110と第2の基板220との接合界面を活性層から遠ざけることができるため、より高品位のSOI基板等の半導体基板を得ることができる。

【0135】ここで、基板210と基板220とを結合

させた後に、両者の結合を強固にする処理を実施することが好ましい。この処理の一例としては、例えば、1) N_2 雰囲気、1100℃、10min の条件で熱処理を実施し、2) O_2/H_2 雰囲気、1100℃、50~100min の条件で熱処理（酸化処理）を実施する処理が好適である。この処理に加えて、或いは、この処理に代えて、陽極接合処理及び／又は加圧処理を実施してもよい。

【0136】次いで、STEP 206 では、結合基板 230 を機械的強度が脆弱な移送用分離層としての多孔質層 12 において分離する。ここで、結合基板の分離方法としては、例えば、多孔質層 12 に流体の圧力を作用させる方法（例えば、多孔質層 12 に流体を打ち込む方法、多孔質層 12 に流体の静圧を印加する方法等）、多孔質層 12 に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層 22 に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、多孔質層 12 に超音波などの波動エネルギーを印加する方法、多孔質層 12 に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、多孔質層 12 に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層 12 を結合基板の側面から熱酸化させることにより、該多孔質層 12 を体積膨張させる方法、分離領域として機能する多孔質層を結合基板の側面から選択的にエッチングして分離する方法などがある。

【0137】STEP 207 は、分離後の第 1 の基板 210' の単結晶 Si 基板 11 上に多孔質層 12a が残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層 12a をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶 Si 基板 11 は、第 1 の基板としての単結晶シリコン基板 11、又は第 2 の基板としての単結晶シリコン基板 21 として利用され得る。

【0138】STEP 208 は、分離後の第 2 の基板 220' 上に多孔質層 12b が残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層 12b をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板 240 が製造される。半導体基板 240 は、回路素子を形成した後に薄

化されうる薄化対応基板である。

【0139】STEP 209 では、半導体基板 240 に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板 240 上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路 41 を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0140】STEP 210 では、集積回路 41 が形成された半導体基板 250 を機械的強度が脆弱な薄化用分離層としてのヘテロエピタキシャル層 222 において分離する。これにより、半導体基板 250 が薄化される。薄化後の半導体基板 51 の厚さは、厚さ調整層 23 の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP 204 において厚さ調整層 23 の厚さを調整すればよい。

【0141】半導体基板の分離方法としては、例えば、ヘテロエピタキシャル成長層 222 に流体の圧力を作用させる方法（例えば、ヘテロエピタキシャル成長層 222 に流体を打ち込む方法、ヘテロエピタキシャル成長層 222 に流体の静圧を印加する方法等）、ヘテロエピタキシャル成長層 222 に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、ヘテロエピタキシャル成長層 222 に対して平行に剪断応力を加える方法（例えば、貼り合わせ面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、ヘテロエピタキシャル成長層 222 に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法などがある。

【0142】STEP 211 は、薄化後の半導体基板 51 にヘテロエピタキシャル成長層 222a が残留している場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層 222a をエッチング、研磨、研削等により除去する。

【0143】STEP 12 は、分離後の第 2 の基板としての単結晶 Si 基板 21 上にヘテロエピタキシャル成長層 222b が残留する場合において必要に応じて実施される工程である。この工程では、残留成長層 222b をエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶 Si 基板 21 は、第 1 の基板としての単結晶シリコン基板 11、又は第 2 の基板としての単結晶シリコン基板 21 として利用され得る。

【0144】〔第 4 の実施の形態〕この実施の形態は、第 2 の実施の形態における薄化用分離層として多孔質層 112 を第 3 の実施の形態と同様のヘテロエピタキシャ

ル層に変更し、たものである。

【0145】図4A及び図4Bは、本発明の第4の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0146】STEP301及び302では、第2の実施の形態と同様にして、水素イオン注入層112上に半導体層113を有し、その上に絶縁層113を有する第1の基板310を作製する。

【0147】STEP303及び304では、第3の実施の形態と同様にして、ヘテロエピタキシャル成長層222上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層23を有する第2の基板320を作製する。

【0148】次いで、STEP305では、STEP302を経て得られた第1の基板310とSTEP304を経て得られた第2の基板320とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板330を作成する。この後、結合を強固にするための処理を施してもよい。

【0149】次いで、STEP306では、結合基板330を機械的強度が脆弱な移設用分離層としての水素イオン注入層112において分離する。ここで、結合基板の分離方法としては、例えば、熱処理が最も好ましい。熱処理を施すことにより、イオン注入層112内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。この分離工程において熱処理を採用することにより、結合基板330を薄化用分離層としてのヘテロエピタキシャル成長層222ではなくて移設用分離層としての水素イオン注入層112において分離することができる。

【0150】なお、上記の熱処理に代えて、水素イオン注入層112に流体の圧力を作用させる方法(例えば、水素イオン注入層112に流体を打ち込む方法、水素イオン注入層112に流体の静圧を印加する方法等)、水素イオン注入層112に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、水素イオン注入層112に対して平行に剪断応力を加える方法(例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など)、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層112に超音波などの波動エネルギーを印加する方法、水素イオン注入層112に対して結合基板の側面側から結合界面に平行に剥離用部材(例えばナイフのような鋭利なブレード)を挿入する方法なども採用し得る。

【0151】STEP307は、分離後の第1の基板310'の単結晶Si基板11上に水素イオン注入層112aが残留する場合において必要に応じて実施される工

程である。この工程では、残留水素イオン注入層112aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0152】STEP308は、分離後の第2の基板320'上に水素イオン注入層112bが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板340が製造される。半導体基板340は、回路素子を形成した後に薄化用分離層222において分離することにより容易に薄化される薄化対応基板である。

【0153】STEP309では、半導体基板340に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板340上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0154】STEP310では、集積回路41が形成された半導体基板350を機械的強度が脆弱な薄化用分離層としての薄化用分離層としてのヘテロエピタキシャル成長層222において分離する。これにより、半導体基板350が薄化される。薄化後の半導体基板351の厚さは、厚さ調整層23の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP304において厚さ調整層23の厚さを調整すればよい。

【0155】半導体基板の分離方法としては、例えば、ヘテロエピタキシャル成長層222に流体の圧力を作用させる方法(例えば、ヘテロエピタキシャル成長層222に流体を打ち込む方法、ヘテロエピタキシャル成長層222に流体の静圧を印加する方法等)、ヘテロエピタキシャル成長層222に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、ヘテロエピタキシャル成長層222に対して平行に剪断応力を加える方法(例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など)、結合界面に対して垂直な方向に加圧する方法、ヘテロエピタキシャル成長層222に対して結合基板の側面側から結合界面に平行に剥離用部材(例えばナイフ

のような鋭利なブレード)を挿入する方法などがある。

【0156】STEP311は、薄化後の半導体基板351にヘテロエピタキシャル成長層222aが残留している場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層222aをエッチング、研磨、研削等により除去する。

【0157】STEP312は、分離後の第2の基板としての単結晶Si基板21上にヘテロエピタキシャル成長層222bが残留する場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層222bをエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0158】[第5の実施の形態] この実施の形態は、移設用分離層及び薄化用分離層の双方をヘテロエピタキシャル成長層としたものである。

【0159】図5A及び図5Bは、本発明の第5の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0160】まず、STEP401では、第1の基板(prime wafer又はseed wafer)或いは部材として単結晶Si基板11を準備して、その主表面上に移設用分離層としてのヘテロエピタキシャル成長層412を形成する。

【0161】次いで、STEP402では、ヘテロエピタキシャル成長層412上に単結晶Si層等の半導体層413を形成し、その上に絶縁層(例えば、SiO₂層)14を形成する。これにより、移設用分離層としてのヘテロエピタキシャル成長層412の上に半導体層413を有し、その上に絶縁層14を有する第1の基板410が得られる。

【0162】以上の工程と並行して、STEP403及び404が実施される。STEP403では、第2の基板(支持基板、handle wafer)或いは部材としての単結晶Si基板21を準備して、その主表面上に薄化用分離層としてのヘテロエピタキシャル成長層422を形成する。薄化用分離層422は、移設用分離層412よりも機械的強度が強い。これは、例えば、薄化用分離層422の格子定数とその下地の基板21の格子定数との差を、移設用分離層412の格子定数とその下地の基板11の格子定数との差よりも小さくすることにより実現される。また、これは、薄化用分離層422に加わる応力を移設用分離層412に加わる応力よりも小さくすることにより実現される。ここで、移設用分離層412及び薄化用分離層422としてのヘテロエピタキシャル層としては、例えば、下地の基板がシリコン基板である

場合、SiGe層、SiCが好適であるが、GaN、GaAs等でもよい。

【0163】第2の基板は、単結晶Si基板に限定されず、例えばサファイヤ基板であってもよい。すなわち、第2の基板は、移設用分離部を形成することができる部材であれば何でもよい。

【0164】次いで、STEP405では、STEP402を経て得られた第1の基板410とSTEP404を経て得られた第2の基板420とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板430を作成する。

【0165】なお、絶縁層14は、上記のように単結晶Si層13側に形成しても良いし、第2の基板420上に形成しても良く、両者に形成しても良く、結果として、第1の基板と第2の基板を結合させた際に、図4Aに示す状態になれば良い。しかしながら、上記のように、絶縁層14を活性層となる半導体層(例えば、単結晶Si層)13側に形成することにより、第1の基板410と第2の基板420との接合界面を活性層から遠ざけることができるため、より高品位のSOI基板等の半導体基板を得ることができる。

【0166】ここで、基板410と基板420とを結合させた後に、両者の結合を強固にする処理を実施することが好ましい。この処理の一例としては、例えば、1) N₂ 雰囲気、1100℃、10minの条件で熱処理を実施し、2) O₂/H₂ 雰囲気、1100℃、50~100minの条件で熱処理(酸化処理)を実施する処理が好適である。この処理に加えて、或いは、この処理に代えて、陽極接合処理及び/又は加圧処理を実施してもよい。

【0167】次いで、STEP406では、結合基板430を機械的強度が脆弱な移設用分離層としてのヘテロエピタキシャル成長層412において分離する。ここで、結合基板の分離方法としては、例えば、ヘテロエピタキシャル成長層412に流体の圧力を作用させる方法(例えば、ヘテロエピタキシャル成長層412に流体を打ち込む方法、ヘテロエピタキシャル成長層412に流体の静圧を印加する方法等)、ヘテロエピタキシャル成長層412に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、ヘテロエピタキシャル成長層412に対して平行に剪断応力を加える方法(例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など)、結合界面に対して垂直な方向に加圧する方法、ヘテロエピタキシャル成長層412に対して結合基板の側面側から結合界面に平行に剥離用部材(例えばナイフのような鋭利なブレード)を挿入する方法などがある。

【0168】STEP407は、分離後の第1の基板410'の単結晶Si基板11上にヘテロエピタキシャル

成長層 412a が残留する場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層 412a をエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶 Si 基板 11 は、第 1 の基板としての単結晶シリコン基板 11、又は第 2 の基板としての単結晶シリコン基板 21 として利用され得る。

【0169】STEP 408 は、分離後の第 2 の基板 420' 上にヘテロエピタキシャル成長層 412b が残留する場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層 412b をエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板 440 が製造される。半導体基板 440 は、回路素子を形成した後に薄化用分離層 422 において分離することにより容易に薄化される薄化対応基板である。

【0170】STEP 409 では、半導体基板 440 に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板 440 上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路 41 を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0171】STEP 410 では、集積回路 41 が形成された半導体基板 450 を機械的強度が脆弱な薄化用分離層としてのヘテロエピタキシャル成長層 422 において分離する。これにより、半導体基板 450 が薄化される。薄化後の半導体基板 451 の厚さは、厚さ調整層 23 の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP 404 において厚さ調整層 23 の厚さを調整すればよい。

【0172】半導体基板の分離方法としては、例えば、ヘテロエピタキシャル成長層 422 に流体の圧力を作用させる方法（例えば、ヘテロエピタキシャル成長層 422 に流体を打ち込む方法、ヘテロエピタキシャル成長層 422 に流体の静圧を印加する方法等）、ヘテロエピタキシャル成長層 422 に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、ヘテロエピタキシャル成長層 422 に対して平行に剪断応力を加える方法（例えば、結合面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、ヘテロエピタキシャル成長層 422 に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法などがある。

【0173】STEP 411 は、薄化後の半導体基板 4

51 にヘテロエピタキシャル成長層 222a が残留している場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層 422a をエッチング、研磨、研削等により除去する。

【0174】STEP 412 は、分離後の第 2 の基板としての単結晶 Si 基板 21 上にヘテロエピタキシャル成長層 422b が残留する場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層 422b をエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶 Si 基板 21 は、第 1 の基板としての単結晶シリコン基板 11、又は第 2 の基板としての単結晶シリコン基板 21 として利用され得る。

【0175】〔第 6 の実施の形態〕この実施の形態では、移設用分離層を水素イオン注入層として、薄化用分離部（分離層の代わり）を第 1 の基板と第 2 の基板との結合界面としたものである。

【0176】図 6A 及び図 6B は、本発明の第 6 の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0177】まず、STEP 501 では、第 1 の基板（prime wafer 又は seed wafer）或いは部材として単結晶 Si 基板 11 を準備して、その主表面上に絶縁層（例えば、SiO₂ 層）14 を形成する。

【0178】次いで、STEP 502 では、絶縁層 14 が形成された単結晶 Si 基板 11 の所定深さに水素イオンを注入することにより、水素イオン注入層 112 を形成する。この水素イオン注入層 112 は、移設用分離層として機能する。この工程により、絶縁層 14 と水素イオン注入層 112 との間には、半導体層としての単結晶 Si 層 113 が残る。

【0179】ここで、水素イオンに代えて、窒素や希ガスイオンを注入してもよい。イオン注入法としては、例えば、プラズマ浸漬イオン注入法（例えば、国際公開番号 WO98/52216 号公報に記載されている）を採用することができる。

【0180】なお、STEP 501 において、絶縁層 14 の形成に先立って、単結晶 Si 層、多結晶 Si 層、非晶質 Si 層等の Si 層、Ge 層、SiGe 層、SiC 層、C 層、GaAs 層、GaN 層、AlGaAs 層、InGaAs 層、InP 層、InAs 層、SiGe 層／歪み Si 層等を形成しておくことにより、それを半導体層 14 とすることもできる。

【0181】次いで、STEP 503 では、STEP 502 を経て得られた第 1 の基板 510 と、第 2 の基板 21 とを、絶縁層 14 を挟むようにして、室温で結合（bonding）させて結合基板 530 を作成する。この後、結合を強固にするための処理を施してもよい。

【0182】次いで、STEP504では、結合基板530を機械的強度が脆弱な移設用分離層としての水素イオン注入層112において分離する。ここで、結合基板の分離方法としては、例えば、熱処理が最も好ましい。熱処理を施すことにより、イオン注入層112内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。

【0183】なお、上記の熱処理に代えて、水素イオン注入層112に流体の圧力を作用させる方法（例えば、水素イオン注入層112に流体を打ち込む方法、水素イオン注入層112に流体の静圧を印加する方法等）、水素イオン注入層112に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、水素イオン注入層112に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層112に超音波などの波動エネルギーを印加する

方法、水素イオン注入層112に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法なども採用し得る。

【0184】STEP504は、分離後の第1の基板510'の単結晶Si基板11上に水素イオン注入層112aが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0185】STEP506は、分離後の第2の基板520'上に水素イオン注入層112bが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112bをエッチング、研

磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半

導体基板40上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0187】STEP508では、集積回路41が形成された半導体基板550を機械的強度が脆弱な薄化用分離部としての第1の基板と第2の基板との結合界面590において分離する。これにより、半導体基板550が薄化される。

【0188】半導体基板の分離方法としては、例えば、結合界面590に流体の圧力を作用させる方法（例えば、結合界面590に流体を打ち込む方法、結合界面590に流体の静圧を印加する方法等）、結合界面590に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、結合界面590に対して平行に剪断応力を加える方法（例えば、結合界面590に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面590に対して垂直な方向に加圧する方法、結合界面590に対して結合

基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法などがある。

【0189】STEP508は、薄化後の半導体基板551の裏面（分離面）が荒れている場合において必要に応じて実施される工程である。この工程では、半導体基板551の裏面をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により平坦化する。

【0190】STEP510は、分離後の第2の基板としての単結晶Si基板21の表面が荒れている場合において必要に応じて実施される工程である。この工程では、単結晶Si基板21の表面をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により平坦化する。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0191】〔第7の実施の形態〕この実施の形態は、移設用分離層を水素イオン注入層として、薄化用分離層を高濃度ドーブ層としたものである。

【0192】図7A及び図7Bは、本発明の第7の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0193】まず、STEP601及び602では、第1の実施の形態と同様にして、移設用分離層12の上に、移設層としての、半導体層13及び絶縁層14を有する第1の基板或いは部材610を作製する。

【0194】STEP603では、第2の基板(支持基板、handle wafer)或いは部材としての単結晶Si基板21を準備して、それに不純物を高濃度にドーブし

て、薄化用の分離層としての高濃度ドーブ層 622 を形成する。不純物としては、アンチモン、砒素、ホウ素等を採用することができるが、この中でも、回路素子を形成する工程すなわちデバイスプロセス (STEP 609) における熱処理による濃度の低下が小さい物質であるアンチモンや砒素が好ましい。アンチモンを採用する場合は、ドーブ濃度としては、例えば $1 \times 10^{19} / \text{cm}^3$ 程度が必要である。高濃度ドーブ 622 は、回路素子が形成された半導体基板を薄化する工程で利用される移設用分離層であり、移設用分離層 12 よりも機械的強度が強い。

【0195】高濃度ドーブ層の形成は、エピタキシャル成長法において、かかる不純物を高濃度に添加することによっても良いし、熱処理雰囲気中に不純物を含むガスを添加することによる気相からの拡散や、不純物を含む固体を表面に密着させて熱処理して、第 2 の基板に拡散させる固相拡散法によっても良い。

【0196】STEP 604 では、高濃度ドーブ層 622 (単結晶 Si 基板 21) 上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層 23 を形成する。これにより、薄化用分離層 522 上に厚さ調整層 23 を有する第 2 の基板 620 が得られる。厚さ調整層 23 としては、例えば単結晶シリコン等のシリコン層が好適であるが、他の材料で構成された層であってもよい。

【0197】第 2 の基板は、単結晶 Si 基板に限定されず、例えばサファイヤ基板や多結晶 Si 基板などであってもよい。すなわち、第 2 の基板は、移設用分離部を形成することができる部材であれば何でもよい。

【0198】次いで、STEP 605 では、STEP 602 を経て得られた第 1 の基板 610 と STEP 604 を経て得られた第 2 の基板 620 とを、絶縁層 14 を挟むようにして、室温で結合 (bonding) させて結合基板 630 を作成する。

【0199】なお、絶縁層 14 は、上記のように単結晶 Si 層 13 側に形成しても良いし、第 2 の基板 620 上に形成しても良く、両者に形成しても良く、結果として、第 1 の基板と第 2 の基板を結合させた際に、図 6A に示す状態になれば良い。しかしながら、上記のように、絶縁層 14 を活性層となる半導体層 (例えば、単結晶 Si 層) 13 側に形成することにより、第 1 の基板 610 と第 2 の基板 620 との接合界面を活性層から遠ざけることができるため、より高品位の SOI 基板等の半導体基板を得ることができる。

【0200】ここで、基板 610 と基板 620 とを結合させた後に、両者の結合を強固にする処理を実施することが好ましい。この処理の一例としては、例えば、1) N_2 雰囲気、 1100°C 、 10min の条件で熱処理を実施し、2) O_2/H_2 雰囲気、 1100°C 、 $50 \sim 100\text{min}$ の条件で熱処理 (酸化処理) を実施する処理

が好適である。この処理に加えて、或いは、この処理に代えて、陽極接合処理及び/又は加圧処理を実施してもよい。

【0201】次いで、STEP 606 では、結合基板 630 を機械的強度が脆弱な移設用分離層としての多孔質層 12 において分離する。ここで、結合基板の分離方法としては、例えば、多孔質層 12 に流体の圧力を作用させる方法 (例えば、多孔質層 12 に流体を打ち込む方法、多孔質層 12 に流体の静圧を印加する方法等)、多孔質層 12 に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層 12 に対して平行に剪断応力を加える方法 (例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など)、結合界面に対して垂直な方向に加圧する方法、多孔質層 12 に超音波などの波動エネルギーを印加する方法、多孔質層 12 に対して結合基板の側面側から結合界面に平行に剥離用部材 (例えばナイフのような鋭利なブレード) を挿入する方法、多孔質層 12 に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層 12 を結合基板の側面から熱酸化させることにより、該多孔質層 12 を体積膨張させる方法、分離領域として機能する多孔質層 12 を結合基板の側面から選択的にエッチングして分離する方法などがある。

【0202】STEP 607 は、分離後の第 1 の基板 610' の単結晶 Si 基板 11 上に多孔質層 12a が残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層 12a をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶 Si 基板 11 は、第 1 の基板としての単結晶シリコン基板 11、又は第 2 の基板としての単結晶シリコン基板 21 として利用され得る。

【0203】STEP 608 は、分離後の第 2 の基板 620' 上に多孔質層 12b が残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層 12b をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板 640 が製造される。半導体基板 640 は、回路素子を形成した後に薄化用分離層 622 において分離することにより容易に薄化される薄化対応基板である。

【0204】STEP 609 では、半導体基板 640 に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板 640 上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配

線を含む集積回路 41 を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0205】STEP 610 では、集積回路 41 が形成された半導体基板 650 を機械的強度が脆弱な薄化用分離層としての高濃度ドーブ層 622 において分離する。これにより、半導体基板 250 が薄化される。薄化後の半導体基板 651 の厚さは、厚さ調整層 23 の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP 604 において厚さ調整層 23 の厚さを調整すればよい。

【0206】半導体基板の分離方法としては、例えば、高濃度ドーブ層 622 に流体の圧力を作用させる方法（例えば、高濃度ドーブ層 622 に流体を打ち込む方法、高濃度ドーブ層 622 に流体の静圧を印加する方法等）、高濃度ドーブ層 622 に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、高濃度ドーブ層 622 に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、高濃度ドーブ層 622 に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法などがある。本分離工程は、薄化分離部に不純物が高濃度にドーブされていることによる応力集中があるため、分離のための外力が作用した際にかかる薄化分離部において優先的に分離されることによる。

【0207】STEP 611 は、薄化後の半導体基板 51 に高濃度ドーブ層 622 が残留している場合において必要に応じて実施される工程である。この工程では、残留高濃度ドーブ層 622 a をエッチング、研磨、研削等により除去する。

【0208】STEP 612 は、分離後の第 2 の基板としての単結晶 Si 基板 21 上に高濃度ドーブ層 622 b が残留する場合において必要に応じて実施される工程である。この工程では、残留高濃度ドーブ層 622 b をエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶 Si 基板 21 は、第 1 の基板としての単結晶シリコン基板 11、又は第 2 の基板としての単結晶シリコン基板 21 として利用され得る。

【0209】〔第 8 の実施の形態〕図 8A 乃至図 8C は、本発明の第 8 の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0210】まず、STEP 701 では、第 1 の基板（prime wafer 又は seed wafer）或いは部材として単結晶 Si 基板 11 を準備して、その主表面上に絶縁層（例

えば、SiO₂ 層）14 を形成する。

【0211】次いで、STEP 702 では、絶縁層 14 が形成された単結晶 Si 基板 11 の所定深さに水素イオンを注入することにより、水素イオン注入層 112 を形成する。この水素イオン注入層 112 は、移設用分離層として機能する。この工程により、絶縁層 14 と水素イオン注入層 112 との間には、半導体層としての単結晶 Si 層 113 が残る。

【0212】ここで、水素イオンに代えて、窒素や希ガスイオンを注入してもよい。イオン注入法としては、例えば、プラズマ浸漬イオン注入法（例えば、国際公開番号 WO98/52216 号公報に記載されている）を採用することができる。

【0213】なお、STEP 701 において、絶縁層 14 の形成に先立って、単結晶 Si 層、多結晶 Si 層、非晶質 Si 層等の Si 層、Ge 層、SiGe 層、SiC 層、C 層、GaAs 層、GaN 層、AlGaAs 層、InGaAs 層、InP 層、InAs 層、SiGe 層／歪み Si 層等を形成しておくことにより、それを半導体層 14 とすることもできる。

【0214】次いで、STEP 703 では、STEP 702 を経て得られた第 1 の基板 710 と、別途準備した第 2 の基板 21 とを、絶縁層 14 を挟むようにして、室温で結合（bonding）させて結合基板 730 を作成する。この後、結合を強固にするための処理を施してもよい。

【0215】次いで、STEP 704 では、結合基板 730 を機械的強度が脆弱な移設用分離層としての水素イオン注入層 112 において分離する。ここで、結合基板の分離方法としては、例えば、熱処理が最も好ましい。熱処理を施すことにより、イオン注入層 112 内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層（micro-cavity layer）と呼ばれる。

【0216】なお、上記の熱処理に代えて、水素イオン注入層 112 に流体の圧力を作用させる方法（例えば、水素イオン注入層 112 に流体を打ち込む方法、水素イオン注入層 112 に流体の静圧を印加する方法等）、水素イオン注入層 112 に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、水素イオン注入層 112 に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層 112 に超音波などの波動エネルギーを印加する方法、水素イオン注入層 112 に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、分離領域として機能する多孔質層 112 を結合基板の側面から選択的にエッチングして分離する方法も採用し得る。

【0217】STEP705は、分離後の第1の基板710'の単結晶Si基板11上に水素イオン注入層112aが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等から選択される少なくとも一種の方法により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0218】STEP705は、分離後の第2の基板720'上に水素イオン注入層112bが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半

導体基板740が製造される。

【0219】STEP707では、半導体基板740に水素イオンを注入することにより、薄化用分離層としての水素イオン注入層722を形成する。水素イオン注入層722は、典型的には、単結晶Si基板21中に形成されるが、絶縁層14中、又は絶縁層14と単結晶Si基板21との界面に形成されてもよい。図8Bでは、水素イオン注入層722が単結晶Si基板21中に形成され、それにより水素イオン注入層722上に単結晶Si層21aが形成されている。

【0220】ここで、水素イオンに代えて、窒素や希ガスイオンを注入してもよい。イオン注入法としては、例えば、プラズマ浸漬イオン注入法（例えば、国際公開番号WO98/52216号公報に記載されている）を採用することができる。

【0221】このようにして形成された半導体基板750は、回路素子を形成した後に薄化用分離層722において分離することにより容易に薄化される薄化対応基板である。

【0222】STEP708では、半導体基板750に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板750上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0223】STEP709では、集積回路41が形成された半導体基板760を機械的強度が脆弱な薄化用分離層としての水素イオン注入層722において分離する。これにより、半導体基板750が薄化される。ここで、結合基板の分離方法としては、例えば、熱処理が最

も好ましい。熱処理を施すことにより、イオン注入層722内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。この実施の形態では、移設工程(STEP5及びSTEP6)が終了した後に薄化用分離層としての水素イオン注入層722を形成するので、移設工程中に半導体基板が薄化用分離層で分離してしまうことがない。

【0224】半導体基板の分離方法としては、その他、例えば、水素イオン注入層722に流体の圧力を作用させる方法（例えば、水素イオン注入層722に流体を打ち込む方法、水素イオン注入層722に流体の静圧を印加する方法等）、イオン注入層722に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、イオン注入層722に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層722に超音波などの波動エネルギーを印加する方法、水素イオン注入層722に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法などがある。

【0225】STEP710は、薄化後の半導体基板761の裏面に水素イオン注入層722aが残留している場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層722aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。

【0226】STEP711は、分離後の第2の基板としての単結晶Si基板21上に水素イオン注入層722bが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層722bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0227】〔第9の実施の形態〕この実施の形態では、SIMOX法によって形成された半導体基板を準備し、該半導体基板に水素等のイオンを注入することにより薄化用分離層としてのイオン注入層を形成し、その後、該半導体基板に回路素子を作り込み、その後、該半導体基板を薄化用分離層としてのイオン注入層において分離する。

【0228】なお、SIMOX法によって形成される半導体基板は、第8の実施の形態において説明した半導体

基板 740 とほぼ類似の構成を有する。すなわち、SIMOX 法によっても、絶縁層 14 上に単結晶 Si 層 113 を有する半導体基板が得られる。ただし、SIMOX 法によって形成される SOI 基板は、2 枚の基板を結合させた後に分離して SOI 基板を得る結合法（貼り合わせ法）によって形成される SOI 基板よりも、埋め込み絶縁膜の品質が悪いことが知られている。

【0229】また、SIMOX 基板に代えて、他の SOI 基板を採用しても良い。

【0230】この実施の形態の具体的な手順は、図 8B 及び図 8C の STEP 706 ～ STEP 710 に示す通りである。

【0231】【第 10 の実施の形態】この実施の形態では、移設層を含む第 1 の基板と、第 2 の基板とを結合させて結合基板を作製し、その後、第 2 の基板に該移設層が残るように、該結合基板を第 1 の基板側から研削する研削法により SOI 構造を有する半導体基板を作製し、該半導体基板に水素等のイオンを注入することにより薄化用分離層としてのイオン注入層を形成し、その後、該半導体基板に回路素子を作り込み、その後、該半導体基

板を薄化用分離層としてのイオン注入層において分離する。

【0232】なお、研削法によって形成される半導体基板は、第 8 の実施の形態において説明した半導体基板 740 とほぼ類似の構成を有する。すなわち、研削法によっても、絶縁層 14 上に単結晶 Si 層 113 を有する半導体基板が得られる。

【0233】この実施の形態の具体的な手順は、図 8B 及び図 8C の STEP 706 ～ STEP 710 に示す通りである。

【0234】【デバイス工程の具体例】以下、上記の STEP 9 等におけるデバイス工程の具体例を説明する。

【0235】図 9 は、本発明の好適な実施の形態に係るデバイス工程を示す図である。まず、薄化用分離層を有する半導体基板を準備する。図 9 は、半導体基板として図 1B に示す半導体基板を準備した例である。

【0236】まず、埋め込み絶縁膜 14 上の半導体層（SOI 層）13 を島状にパタニングする方法、又は、LOCOS と呼ばれる酸化法等により、トランジスタを形成すべき活性領域 13' 及び素子分離領域 54 を形成

する（図 9（a）参照）。

【0237】次いで、SOI 層の表面にゲート絶縁膜 56 を形成する（図 9（a）参照）。ゲート絶縁膜 56 の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ゲート酸化膜 56 は、例えば、SOI 層の表面を酸化させたり、CVD 法又は PVD 法により SOI 層の表

面に該当する物質を堆積させたりすることにより形成され得る。

【0238】次いで、ゲート絶縁膜 56 上にゲート電極 55 を形成する（図 9（a）参照）。ゲート電極 55 は、例えば、P 型又は N 型不純物がドーブされた多結晶シリコンや、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも 1 種を含む合金や、モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート絶縁膜 56 は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極 55 は、例えば、シリサイド（セルフアラインシリサイド）と呼ばれる方法で形成されてもよいし、ダマシングートプロセスと呼ばれる方法で形成してもよいし、他の方法で形成してもよい。以上の工程により図 9（a）に示す構造体が得られる。

【0239】次いで、燐、砒素、アンチモンなどの N 型不純物又はボロンなどの P 型不純物を活性領域 13' に導入することにより、比較的低濃度のソース、ドレイン領域 58 を形成する（図 9（b）参照）。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0240】次いで、ゲート電極 55 を覆うようにして絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極 59 の側部にサイドウォール 59 を形成する。

【0241】次いで、再び上記と同一の導電型の不純物を活性領域 13' に導入し、比較的高濃度のソース、ドレイン領域 57 を形成する。以上の工程により図 9（b）に示す構造体が得られる。

【0242】次いで、ゲート電極 55 の上面並びにソース及びドレイン領域 57 の上面に金属珪化物層 60 を形成する。金属珪化物層 60 の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極 55 の上面並びにソース及びドレイン領域 57 の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、珪化物層の表面を窒化させてもよい。以上の工程により図 9（c）に示す構造体が得られる。

【0243】次いで、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜 61 を形成する（図 9（d）参照）。絶縁膜 61 の

45

材料としては、燐及び／又はボロンを含む酸化シリコンなどが好適である。

【0244】次いで、必要に応じて、CMP法により絶縁膜61にコンタクトホールを形成する。KrFエキシマレーザ、ArFエキシマレーザ、F₂エキシマレーザ、電子ビーム、X線等を利用したフォトリソグラフィ技術を適用すると、一辺が0.25ミクロン未満の矩形のコンタクトホール、又は、直径が0.25ミクロン未満の円形のコンタクトホールを形成することができる。

【0245】次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、バリア金属62となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体63を、CVD法、PVD法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜61の上面よりも高く堆積した導電体をエッチバック法やCMP法により除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程によりSOI層にFET等のトランジスタを作り込むことができ、図9(d)に示す構造のトランジスタを有する半導体装置が得られる。

【0246】ここで、ゲート電極に電圧を印加してゲート絶縁膜下に広がる空乏層が埋め込み絶縁膜14の上面に届くように活性層(SOI層)13'の厚さ及び不純物濃度を定めると、形成されたトランジスタは、完全空乏型トランジスタとして動作する。また、空乏層が埋め込み酸化膜14の上面に届かないように活性層(SOI層)13'の厚さ及び不純物濃度を定めると、形成されたトランジスタは、部分空乏型トランジスタとして動作する。

【0247】

46

【発明の効果】本発明によれば、回路素子が形成された半導体層を絶縁層の上に有する任意の厚さの半導体部材(特に、薄い半導体部材)を製造することができる。

【図面の簡単な説明】

【図1A】、

【図1B】本発明の第1の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図2A】、

【図2B】本発明の第2の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図3A】、

【図3B】本発明の第3の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図4A】、

【図4B】本発明の第4の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図5A】、

【図5B】本発明の第5の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図6A】、

【図6B】本発明の第6の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図7A】、

【図7B】本発明の第7の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図8A】、

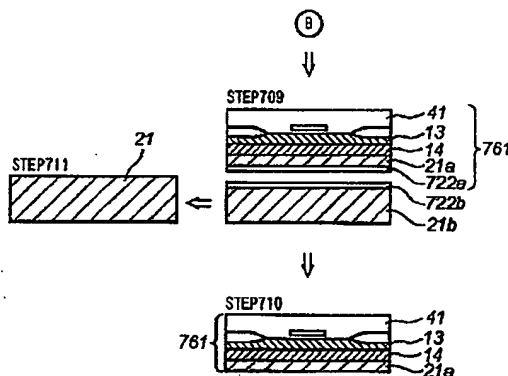
【図8B】、

【図8C】本発明の第8の実施の形態の半導体装置の製造方法を模式的に示す図である。

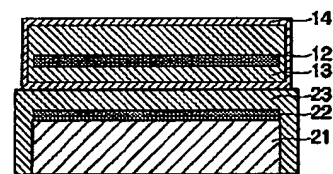
【図9】本発明の好適な実施の形態に係るデバイス工程を示す図である。

【図10】半導体装置の一製造工程における半導体部材の断面図である。

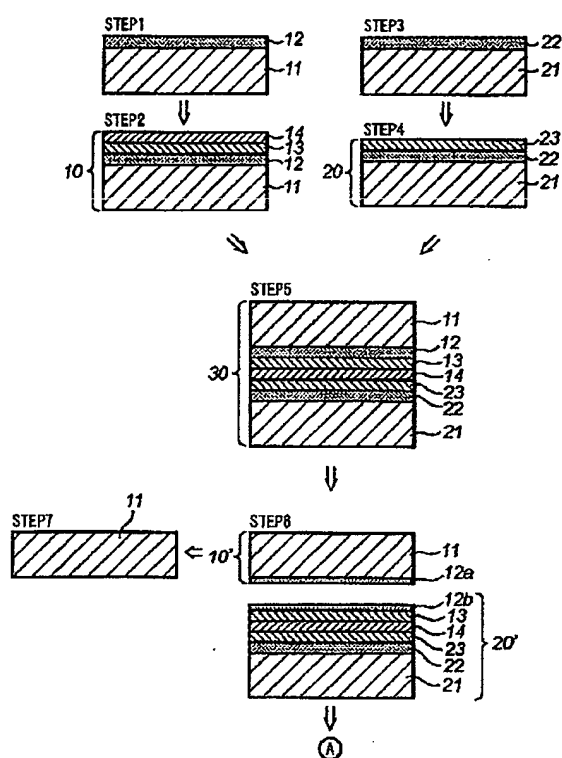
【図8C】



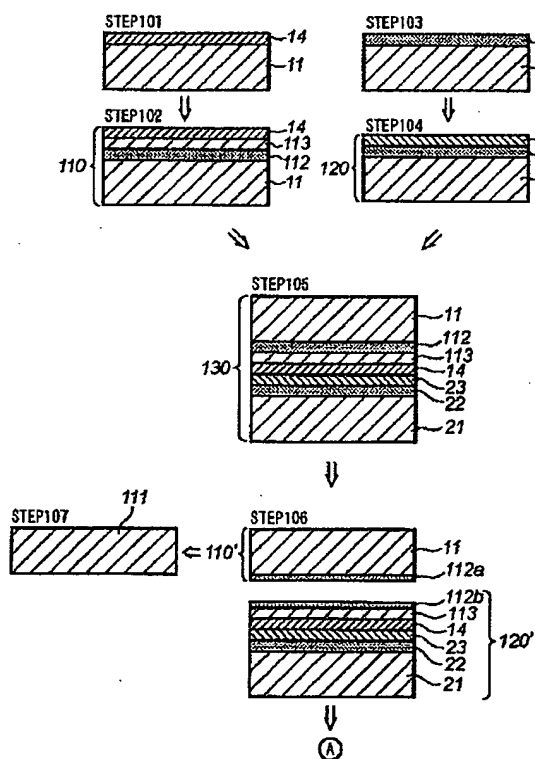
【図10】



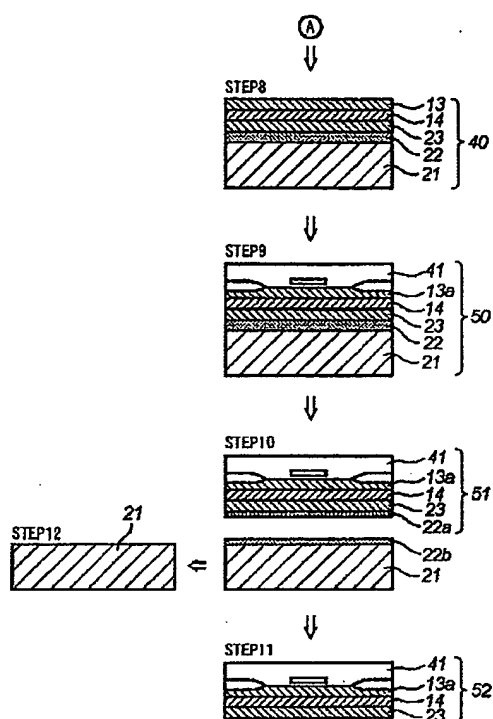
【図 1 A】



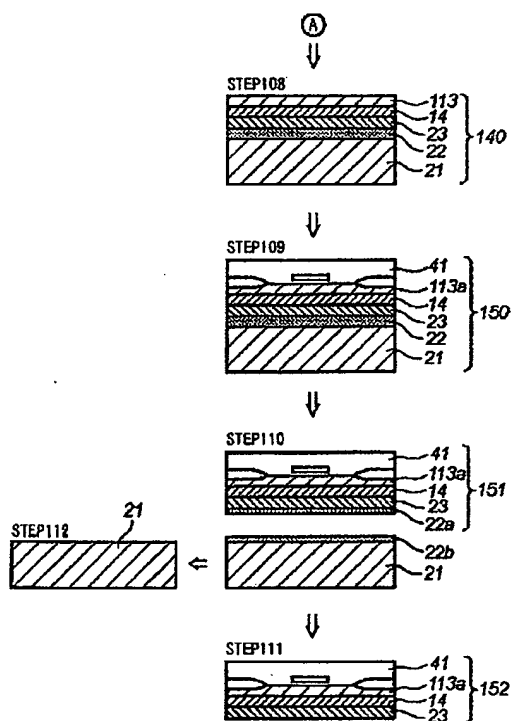
【図 2 A】



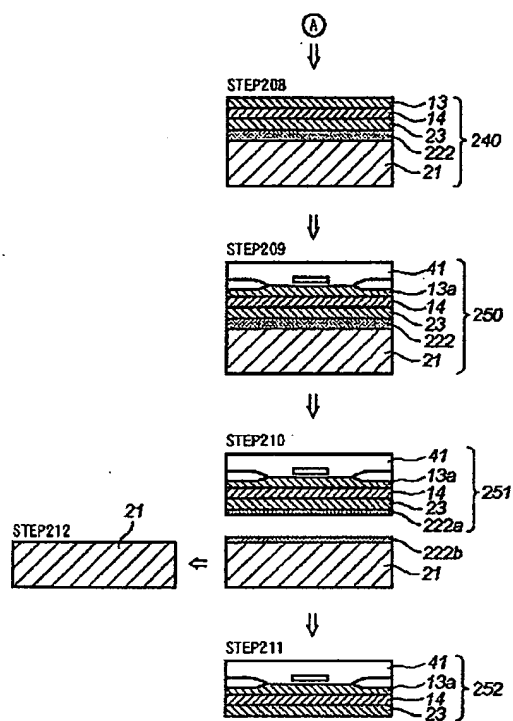
【図 1 B】



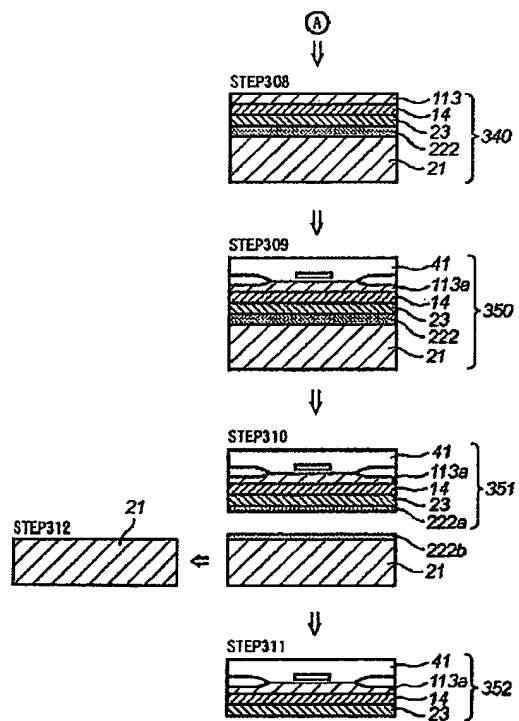
【図 2 B】



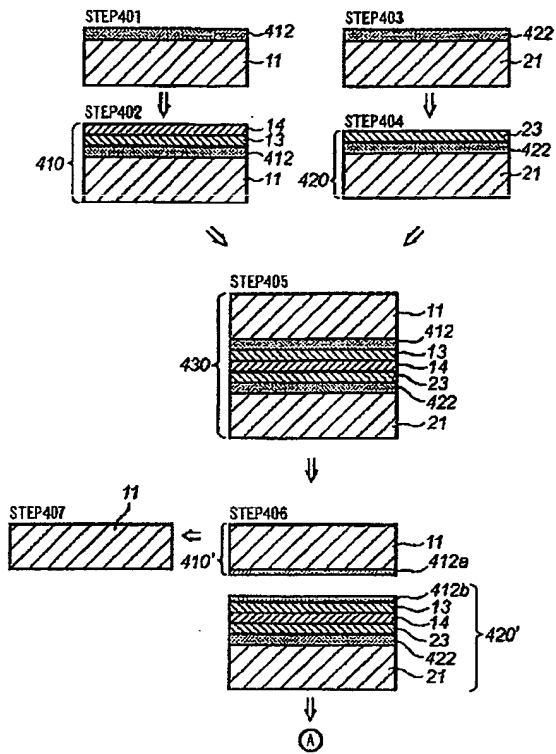
【図 3 B】



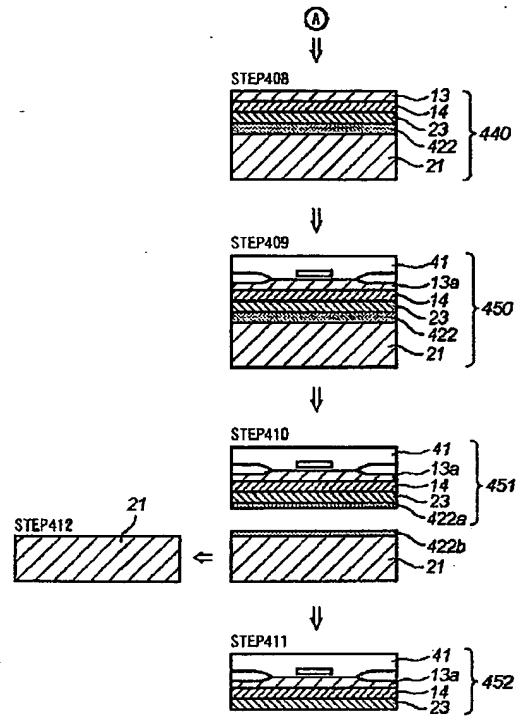
【図 4 B】



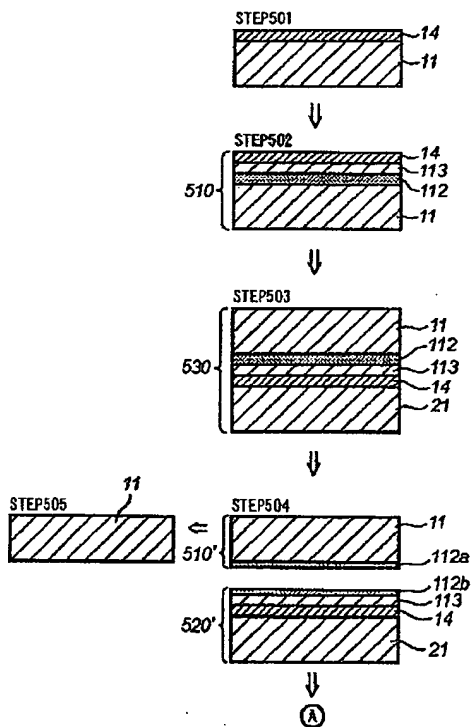
【図5A】



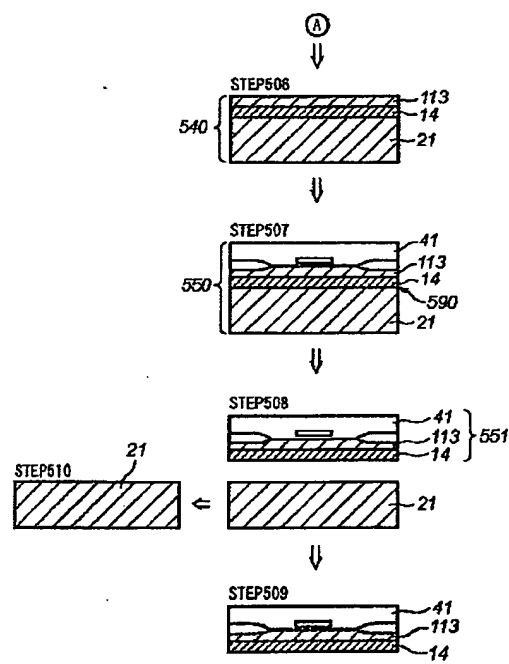
【図5B】



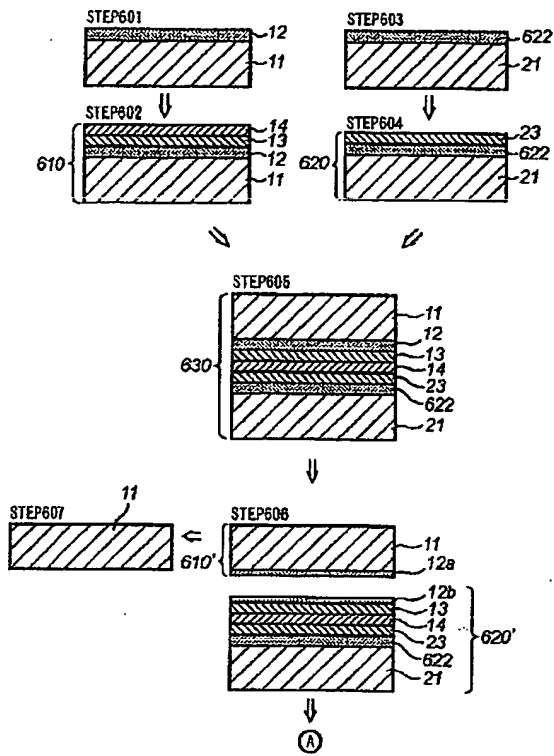
【図6A】



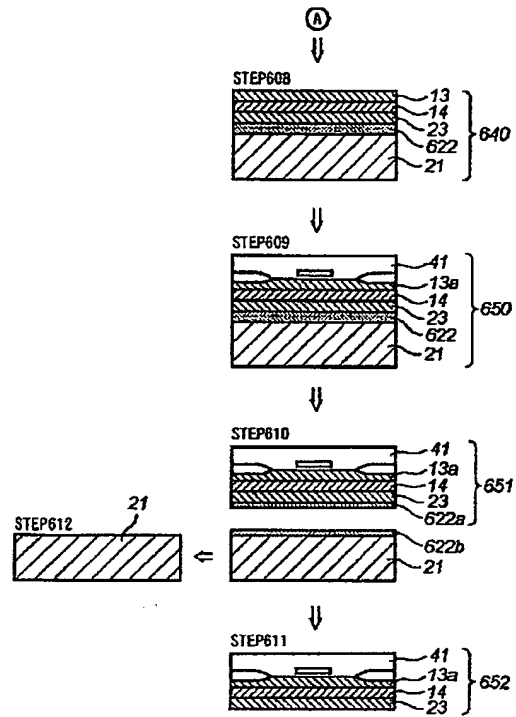
【図6B】



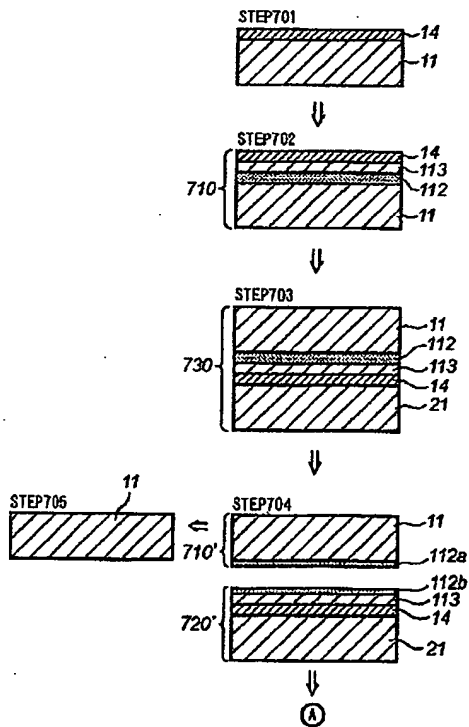
【図 7 A】



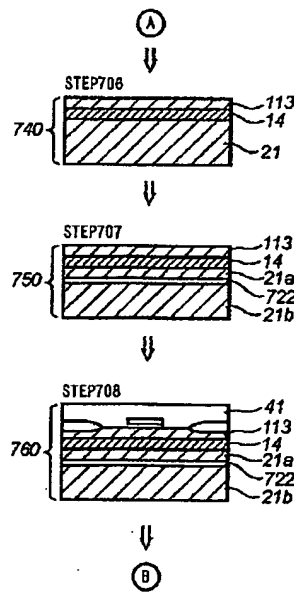
【図 7 B】



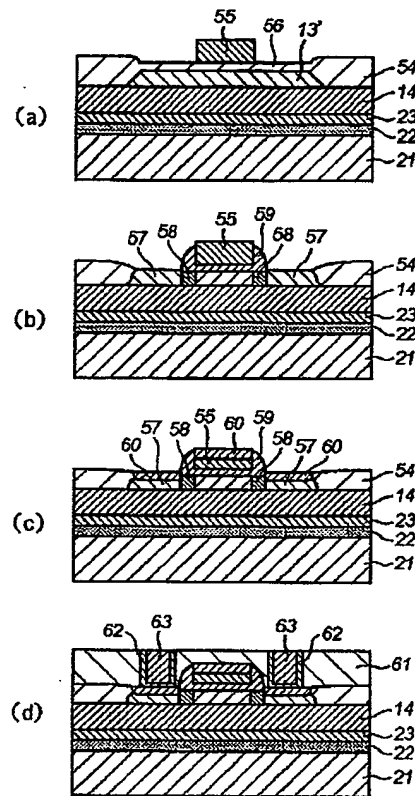
【図 8 A】



【図 8 B】



【図 9】



フロントページの続き

(51)Int. Cl.

識別記号

F I

ターマコード' (参考)

H 0 1 L 29/786

Fターム(参考) 5F032 AA06 AA07 AA13 CA05 CA06
 CA07 CA17 DA12 DA13 DA21
 DA22 DA33 DA45 DA47 DA60
 DA67 DA71 DA74
 5F052 DA01 KB04
 5F110 AA30 CC02 DD04 DD05 DD13
 EE01 EE02 EE03 EE04 EE05
 EE06 EE09 EE14 EE31 EE48
 FF01 FF02 FF03 FF04 FF09
 FF27 FF29 GG01 GG02 GG03
 GG04 GG12 GG13 GG15 HJ01
 HJ13 HJ22 HK05 HK40 HK42
 HL02 HL03 HL06 HL22 HL24
 HL26 HM15 NN22 NN25 NN26
 NN62 NN66 QQ03 QQ11 QQ17
 QQ19